

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-312481

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

G06F 15/16

(21)Application number : 2001-043202

(71)Applicant : NEC CORP

(22)Date of filing : 20.02.2001

(72)Inventor : FUJII TARO  
MOTOMURA MASATO  
FURUTA KOUICHIROU

(30)Priority

Priority number : 2000050067

Priority date : 25.02.2000

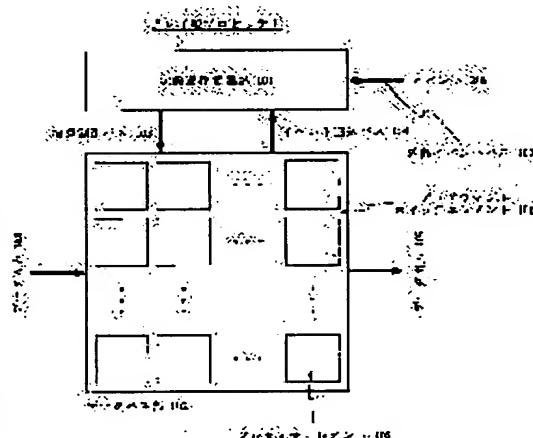
Priority country : JP

## (54) ARRAY TYPE PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To solve the problem such that the size of an array type processor is increased and its processing performance is limited since processes having different properties such as a process based upon a computing element and the process of a random logic circuit need to be actualized by each processor element when all processes are performed by an array part.

**SOLUTION:** This array type processor independently has a data bus part 102 which has an array of processors connected by a programmable switch and mainly performs operation and a state transition management part 101 which facilitates the actualization of a state transition means and performs control and then they are actualized by constitution specified corresponding to the purposes of the processes, so that both operation and control are efficiently mounted and processed.



## LEGAL STATUS

[Date of request for examination]

20.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-312481

(P2001-312481A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 6 F 15/16	6 1 0	G 0 6 F 15/16	6 1 0 G 5 B 0 4 5
	6 4 0		6 4 0 B

審査請求 有 請求項の数33 O L (全 48 頁)

(21) 出願番号 特願2001-43202(P2001-43202)

(22) 出願日 平成13年2月20日 (2001.2.20)

(31) 優先権主張番号 特願2000-50067(P2000-50067)

(32) 優先日 平成12年2月25日 (2000.2.25)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤井 太郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 本村 真人

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100084250

弁理士 丸山 隆夫

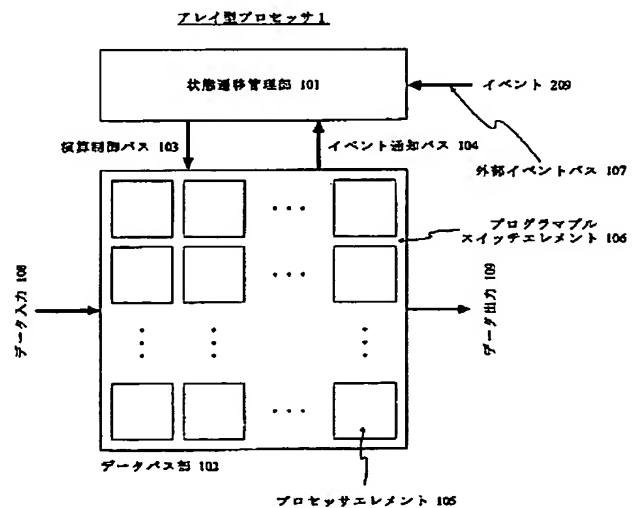
最終頁に続く

(54) 【発明の名称】 アレイ型プロセッサ

(57) 【要約】

【課題】 アレイ型プロセッサは、全ての処理をアレイ部で行おうとすると、各プロセッサエレメントにおいて、演算器ベースの処理とランダムロジック回路の処理という、異なった性質の処理を実現させる必要があり、大型化や処理性能が限定されてしまう。

【解決手段】 プロセッサをアレイ状に並べたものをプログラマブルなスイッチで接続した構成をとり演算を主体として行うデータバス部102と、状態遷移手段の実現を容易とした構成をとり制御を行う状態遷移管理部101と、の二つを独立して持つことで、それぞれを処理目的に応じて特化した構成で実現し、演算と制御との両者を効率良く実装及び処理する。



## 【特許請求の範囲】

【請求項 1】 複数の演算状態間の遷移ルールが書き込まれた状態遷移テーブルを記憶する状態遷移テーブルメモリおよび、この状態遷移テーブルメモリを用いて前記複数の演算状態間の遷移を制御することにより、任意の時点における演算状態を決定するシーケンサ部を有する状態遷移管理部と、

この状態遷移管理部で決定された演算状態に基づいて演算処理を行なう複数のプロセッサエレメント、および、前記状態遷移管理部で決定された演算状態に基づいて前記プロセッサエレメント間を接続する複数のプログラマブルスイッチエレメントを、二次元アレイ状に電氣的に接続して構成されたデータバス部とを独立に具備し、前記プロセッサエレメントは、複数の命令コードを記憶する命令コードメモリと、この命令コードメモリから読み出された前記命令コードを解読する命令デコーダと、解読された前記命令コードに基づいて、前記演算処理を行なう演算部とを有し、かつ、前記プログラマブルスイッチエレメントは、前記プロセッサエレメントと前記プログラマブルスイッチエレメント間、及び／又は、前記プログラマブルスイッチエレメント相互間の接続構成を指示する接続構成情報を複数セット記憶する接続構成情報メモリを有していることを特徴とするアレイ型プロセッサ。

【請求項 2】 上記請求項 1 に記載のアレイ型プロセッサにおいて、前記状態遷移管理部からの制御が、前記状態遷移管理部単独による前記演算状態の遷移、及び／又は、前記データバス部からのイベントを入力することによる前記演算状態の遷移、及び／又は、外部からのイベントを入力することによる前記演算状態の遷移に基づくことを特徴とするアレイ型プロセッサ。

【請求項 3】 上記請求項 1 又は 2 に記載のアレイ型プロセッサにおいて、前記状態遷移管理部と前記データバス部とを電氣的に接続する演算制御バスを有し、前記状態遷移管理部が、前記任意の時点における演算状態に応じて前記演算制御バスを通じて、前記命令コードメモリのアドレスを出力し、及び／又は、前記接続構成情報メモリのアドレスを出力することを特徴とするアレイ型プロセッサ。

【請求項 4】 上記請求項 3 に記載のアレイ型プロセッサにおいて、一つ以上の前記演算制御バスを有し、前記状態遷移管理部が、前記演算制御バスに対して前記アドレスを出力し、かつ、各前記プロセッサエレメント及び／又は各前記プログラマブルスイッチエレメントが、それぞれ一つの前記演算制御バスを選択して前記アドレスを入力することを特徴とするアレイ型プロセッサ。

【請求項 5】 上記請求項 3 に記載のアレイ型プロセッサにおいて、

前記状態遷移管理部が、それぞれの前記プロセッサエレメントおよびそれぞれの前記プログラマブルスイッチエレメントに対し、独立した前記アドレスを並列に与えることを特徴とするアレイ型プロセッサ。

【請求項 6】 上記請求項 3 に記載のアレイ型プロセッサにおいて、

前記プロセッサエレメント及び／又は前記プログラマブルスイッチエレメントをグループ化し、このグループに対して一つの前記アドレスを与えることを特徴とするアレイ型プロセッサ。

【請求項 7】 上記請求項 5 又は 6 に記載のアレイ型プロセッサにおいて、

一部の前記プロセッサエレメント及び／又は一部の前記プログラマブルスイッチエレメントに対してのみ、前記任意の時点における演算状態に応じた前記アドレスを与え、残りの前記プロセッサエレメントおよび残りの前記プログラマブルスイッチエレメントは、前記任意の時点における演算状態の直前に使用していた前記アドレスを継続して使用することを特徴とするアレイ型プロセッサ。

【請求項 8】 上記請求項 3 に記載のアレイ型プロセッサにおいて、

前記演算制御バスが、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントに配設され、かつ、前記状態遷移管理部が、前記演算制御バスに対して前記アドレスを出力し、さらに、前記プロセッサエレメント及び／又は前記プログラマブルスイッチエレメントが、隣接する前記演算制御バスのうちいずれか一つを選択して前記アドレスを得ることを特徴とするアレイ型プロセッサ。

【請求項 9】 上記請求項 3 から 8 のいずれかに記載のアレイ型プロセッサにおいて、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントに対して、それぞれ独立の前記演算制御バスが配設され、かつ、それぞれ独立した制御が行われることを特徴とするアレイ型プロセッサ。

【請求項 10】 上記請求項 1 から 9 のいずれかに記載のアレイ型プロセッサにおいて、

前記プロセッサエレメントが、演算処理データを記録するレジスタを有することを特徴とするアレイ型プロセッサ。

【請求項 11】 上記請求項 10 に記載のアレイ型プロセッサにおいて、

前記プロセッサエレメントが、外部からの入力データまたは前記演算処理データに対して、前記状態遷移管理部からの制御に応じた演算処理を行ない、この演算処理結果を、前記外部に出力データとして出力するか、あるいは、前記レジスタに記録することを特徴とするアレイ型プロセッサ。

【請求項 12】 上記請求項 1 から 11 のいずれかに記

## 3

載のアレイ型プロセッサにおいて、  
前記状態遷移管理部と前記データバス部とを電氣的に接続するイベント通知バスを有し、前記データバス部が、前記イベント通知バスを通じて、演算結果をイベントとして前記状態遷移管理部に通知することを特徴とするアレイ型プロセッサ。

【請求項 13】 上記請求項 1 から 12 のいずれかに記載のアレイ型プロセッサにおいて、  
前記シーケンサ部が、前記状態遷移テーブルメモリに書き込まれた前記状態遷移ルールにしたがって、前記演算状態から同一のまたは異なる演算状態への状態遷移を制御し、前記同一のまたは異なる演算状態を新たな演算状態とすることを特徴とするアレイ型プロセッサ。

【請求項 14】 上記請求項 1 から 13 のいずれかに記載のアレイ型プロセッサにおいて、  
前記状態遷移テーブルが、複数の演算状態の記述エントリを並べたリスト形式で記録されており、前記記述エントリが、状態を識別するある時点の状態番号、状態遷移先の状態を識別する次の時点の状態番号及び前記ある時点の状態から次の時点の状態へ遷移するための状態遷移条件を有することを特徴とするアレイ型プロセッサ。

【請求項 15】 上記請求項 13 又は 14 に記載のアレイ型プロセッサにおいて、  
前記状態遷移管理部は、前記ある時点の状態番号、あるいは前記次の時点の状態番号に対応して、前記命令コードアドレスのアドレス及び／又は前記接続構成情報メモリのアドレスを管理する制御情報メモリを有し、  
前記状態遷移テーブルから特定された前記ある時点の状態番号、あるいは前記次の時点の状態番号を基に、前記制御情報メモリより前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスを特定することを特徴とするアレイ型プロセッサ。

【請求項 16】 上記請求項 13 又は 14 に記載のアレイ型プロセッサにおいて、  
前記状態遷移管理部は、前記ある時点の状態番号に対応して、前記次の時点の状態番号及び、前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスを管理する状態遷移テーブルを有し、  
前記状態遷移テーブルは、前記ある時点の状態番号を基に、前記次の時点の状態番号及び、前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスを特定することを特徴とするアレイ型プロセッサ。

【請求項 17】 上記請求項 14 から 16 のいずれかに記載のアレイ型プロセッサにおいて、  
前記状態遷移テーブルが、前記ある時点の状態番号、前記次の時点の状態番号及び前記状態遷移条件を前記記述エントリとするイベント状態遷移テーブルと、前記ある時点の状態番号と前記次の時点の状態番号とを前記記述エントリとするデフォルト状態遷移テーブルとを有し、  
前記イベント状態遷移テーブルにより前記状態遷移条件

## 4

が満たされる場合の状態遷移を実現し、かつ、前記デフォルト状態遷移テーブルにより前記状態遷移条件が満たされない場合の状態遷移を実現することを特徴とするアレイ型プロセッサ。

【請求項 18】 上記請求項 14 から 17 のいずれかに記載のアレイ型プロセッサにおいて、  
一つの前記ある時点の状態番号には、一つ以上の前記記述エントリが対応し、一つの前記ある時点の状態番号に対応する前記記述エントリが二つ以上存在する場合には、当該前記記述エントリ間で異なる前記状態遷移条件を有することを特徴とするアレイ型プロセッサ。

【請求項 19】 上記請求項 15 又は 16 に記載のアレイ型プロセッサにおいて、  
前記シーケンサ部が、イベントからイベント識別コードを生成し、さらに、前記状態遷移テーブルメモリを、前記ある時点の状態番号と前記イベント識別コードとで検索し、この検索において、前記ある時点の状態番号が合致し、かつ、前記イベント識別コードが前記状態遷移条件を満たす前記記述エントリがある場合には、前記記述エントリにおける前記次の時点の状態番号に基づいて、前記状態遷移先の状態を決定することを特徴とするアレイ型プロセッサ。

【請求項 20】 上記請求項 19 に記載のアレイ型プロセッサにおいて、  
前記イベントが通知されない場合に、前記シーケンサ部が、前記イベントが発生しなかったことを示すイベント識別コードを生成し、さらに、前記ある時点の状態番号と前記イベント識別コードの組み合わせにより前記状態遷移テーブルメモリを検索することを特徴とするアレイ型プロセッサ。

【請求項 21】 上記請求項 17 又は 18 に記載のアレイ型プロセッサにおいて、  
前記シーケンサ部が、イベントからイベント識別コードを生成し、さらに、前記イベント状態遷移テーブルを前記ある時点の状態番号と前記イベント識別コードとで検索すると同時に、前記デフォルト状態遷移テーブルを前記ある時点の状態番号で検索し、この検索において、前記イベント状態遷移テーブルに、前記ある時点の状態番号と前記イベント識別コードが一致する前記記述エントリがある場合には、前記記述エントリにおける前記次の時点の状態番号に基づいて、前記状態遷移先の状態を決定し、あるいは、前記イベント状態遷移テーブルに、前記ある時点の状態番号と前記イベント識別コードとが一致する前記記述エントリが無かった場合には、前記デフォルト状態遷移テーブルにおける前記ある時点の状態番号と一致する前記記述エントリの前記次の時点の状態番号に基づいて、前記状態遷移先の状態を決定することを特徴とするアレイ型プロセッサ。

【請求項 22】 上記請求項 19 から 21 のいずれかに記載のアレイ型プロセッサにおいて、

前記状態遷移テーブルメモリからなる内容アドレスメモリに、前記ある時点の状態番号と前記イベント識別コードとが入力され、前記内容アドレスメモリと前記記述エントリとの並列照合により一致した前記記述エントリにおける前記次の時点の状態番号が出力されることを特徴とするアレイ型プロセッサ。

【請求項 23】 上記請求項 17 から 22 のいずれかに記載のアレイ型プロセッサにおいて、前記次の時点の状態番号の生成の開始以降、若しくは終了以降に、前記状態遷移先の状態に対応した前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスの生成が行われることを特徴とするアレイ型プロセッサ。

【請求項 24】 上記請求項 17 から 22 のいずれかに記載のアレイ型プロセッサにおいて、決定された前記状態遷移先の状態が、前記状態遷移管理部において前記ある時点の状態とされた時点で、前記ある時点の状態に対応する前記アドレスの生成を開始することを特徴とするアレイ型プロセッサ。

【請求項 25】 上記請求項 14 から 24 のいずれかに記載のアレイ型プロセッサにおいて、前記次の時点の状態番号の生成開始から前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントに前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスが届くまでのパスに、レジスタを設け、前記次の時点の状態番号の生成開始時点と、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントが前記アドレスを受け取る時点とを、別サイクルとすることを特徴とするアレイ型プロセッサ。

【請求項 26】 上記請求項 14 から 24 のいずれかに記載のアレイ型プロセッサにおいて、前記次の時点の状態番号の生成を開始する時点から、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントに前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスが届くまでを一つのサイクルとして独立させることを特徴とするアレイ型プロセッサ。

【請求項 27】 上記請求項 19 から 22 のいずれかに記載のアレイ型プロセッサにおいて、前記イベント識別コードを前記シーケンサ部から前記状態遷移テーブルメモリへ伝搬する接続線上に第一のレジスタを設け、該第一のレジスタにより前記イベント識別コードを前記接続線上において一時保持することで、前記次の時点の状態番号の生成開始時点と、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントが前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスを受け取る時点とを、別サイクルとすることを特徴とするアレイ型プロセッサ。

【請求項 28】 上記請求項 27 に記載のアレイ型プロ

セッサにおいて、

前記状態遷移テーブルメモリが、前記ある時点の状態番号を含む全てのエントリにおける前記次の時点の状態番号を保持する一つ以上の第二のレジスタを有し、前記状態遷移条件が満たされる場合には、前記一つ以上の第二のレジスタで保持されている前記次の時点の状態番号の内、前記状態遷移条件を満たすいずれかを選択して出力することを特徴とするアレイ型プロセッサ。

【請求項 29】 上記請求項 28 に記載のアレイ型プロセッサにおいて、

前記第一のレジスタ及び第二のレジスタ各々に対して、使用するか否かを選択するセクタを有し、前記命令コードが、前記第一及び第二のレジスタを使用するか否かを制御する制御情報を含み、前記セクタが、前記命令コードに基づき前記第一及び第二のレジスタを使用するか否かを選択することを特徴とするアレイ型プロセッサ。

【請求項 30】 上記請求項 1 から 29 のいずれかに記載のアレイ型プロセッサにおいて、

前記状態遷移管理部が、クロック信号入力端子を有しており、このクロック信号入力端子から入力されるクロック信号の立ち上がり及び／又は立ち下がりにおいて、前記演算状態の遷移動作を同期させることを特徴とするアレイ型プロセッサ。

【請求項 31】 上記請求項 1 から 30 のいずれかに記載のアレイ型プロセッサにおいて、前記状態遷移管理部が、現時点での演算状態に依存せずに状態遷移させるための強制状態遷移信号により、強制的に前記演算状態が遷移することを特徴とするアレイ型プロセッサ。

【請求項 32】 上記請求項 1 から 30 のいずれかに記載のアレイ型プロセッサにおいて、

前記状態遷移テーブルが、入力された前記イベント識別コードとの一致を検出する強制状態遷移テーブルを有し、この強制状態遷移テーブルにおいて、前記状態遷移テーブルに入力された前記イベント識別コードと一致する前記記述エントリが存在する場合には、前記記述エントリに記述された次の時点の状態番号を強制的に状態遷移先の状態とすることを特徴とするアレイ型プロセッサ。

【請求項 33】 上記請求項 1 から 32 のいずれかに記載のアレイ型プロセッサにおいて、

前記状態遷移管理部が、前記データパス部を制御する演算制御情報メモリを有することを特徴とするアレイ型プロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プログラムすることで所望の演算処理を実行できるプロセッサに関するものであり、特に、プロセッサエレメントを二次元アレ

状に並べたアレイ型プロセッサに関する。

【0002】

【従来の技術】従来、プログラム可能なデバイスとして、様々なマイクロプロセッサが知られており、これらのマイクロプロセッサは、メモリに記憶されている命令を順に読み出し、逐次的に処理することを特徴としていた。つまり、マイクロプロセッサは、非常にシンプルな処理を行なう一つの命令を順に処理する形が、組み合わせられて実行されることで、目的とする一連の処理を実現していた。

【0003】しかし、このマイクロプロセッサは、一つのプロセッサで同時に実行できる命令が数個であるため、処理性能を向上させる上で限界があった。具体的には、大量のデータに対して同一の処理を行う場合に、一つ一つのデータに対して逐次処理を繰り返す必要があり、処理能力を向上させることができなかった。

【0004】この限界を越える技術として、複数のプロセッサエレメントを用いて、命令を並列処理する（同時に実行する）技術があり、具体的には、プロセッサエレメント間の電気的接続方法により様々な技術が存在する。その一つとして、Lawrence Snyderにより、論文「Introduction To The Configurable, Highly Parallel Computer」（IEEE COMPUTER, Jan. 1982）において提案された、複数のプロセッサエレメントをアレイ状に配置し、かつ、プログラマブルなスイッチを用いて電気的に接続することにより、所望のプロセッサを電気的に接続する技術がある（適宜、第一従来技術と略称する。）。

【0005】この第一従来技術のマイクロプロセッサは、複数のプロセッサを用いて並列処理を行うことで、一つのプロセッサによる処理よりも処理能力が向上し、しかも、プロセッサエレメント間をプログラマブルなスイッチで電気的に接続しているため、目的に応じたプロセッサエレメント同士の電気的接続を実現でき、特に、データ処理分野のアプリケーションにおいて、効率の良い処理を行うことができた。

【0006】また、このマイクロプロセッサは、異なった性質の処理、すなわち、データバスのような演算器ベースの処理と、制御回路のようなランダムロジック回路の処理を、各プロセッサエレメントのアレイ部のみで実現するために、各プロセッサエレメントに汎用処理能力を付加する必要があった。

【0007】

【発明が解決しようとする課題】ところが、マイクロプロセッサのさらなる小型化・高性能化の要求に応えるためには、各プロセッサエレメントの機能をそれぞれを処理目的に応じて特化する技術を確立する必要があるが、この技術は極めて困難であり、結果的に、マイクロプロセッサの小型化・高性能化の要求に応えることができない

いという問題があった。

【0008】本発明は、上述した従来技術の問題点を解決するためになされたものであり、プロセッサエレメントをアレイ状に並べたものをプログラマブルなスイッチで電気的に接続した構成からなる、演算を主体として行うデータバス部と、状態遷移手段の実現を容易とした構成からなる、制御を行う状態遷移管理部を独立して具備し、それぞれを処理目的に応じて特化した構成で実現することで、小型化・高性能化の可能なアレイ型プロセッサの提供を目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために、本発明のアレイ型プロセッサは、複数の演算状態間の遷移ルールが書き込まれた状態遷移テーブルを記憶する状態遷移テーブルメモリおよび、この状態遷移テーブルメモリを用いて前記複数の演算状態間の遷移を制御することにより、任意の時点における演算状態を決定するシーケンサ部を有する状態遷移管理部と、この状態遷移管理部で決定された演算状態に基づいて演算処理を行なう複数のプロセッサエレメント、および、前記状態遷移管理部で決定された演算状態に基づいて前記プロセッサエレメント間を接続する複数のプログラマブルスイッチエレメントを、二次元アレイ状に電気的に接続して構成されたデータバス部とを独立に具備し、前記プロセッサエレメントは、複数の命令コードを記憶する命令コードメモリと、この命令コードメモリから読み出された前記命令コードを解読する命令デコーダと、解読された前記命令コードに基づいて、前記演算処理を行なう演算部を有し、かつ、前記プログラマブルスイッチエレメントは、前記プロセッサエレメントと前記プログラマブルスイッチエレメント間、及び／又は、前記プログラマブルスイッチエレメント相互間の接続構成を指示する接続構成情報を複数セット記憶する接続構成情報メモリを有している構成としてある。

【0010】このように、演算を主体として行うデータバス部と、制御を行う状態遷移管理部を分離して具備し、それぞれを処理目的に応じて特化した構成で実現することで、演算と制御の両者を効率良く実装および処理することが可能となり、アレイ型プロセッサは、小型化され、かつ、処理性能が向上する。

【0011】さらに、前記状態遷移管理部からの制御が、前記状態遷移管理部単独による前記演算状態の遷移、及び／又は、前記データバス部からのイベントを入力することによる前記演算状態の遷移、及び／又は、外部からのイベントを入力することによる前記演算状態の遷移に基づく構成としてある。

【0012】このようにすることにより、アレイ型プロセッサは、きめ細かく柔軟な制御を行うことができるので、処理性能が向上する。

【0013】さらに、前記状態遷移管理部と前記データ

バス部とを電氣的に接続する演算制御バスを有し、前記状態遷移管理部が、前記任意の時点における演算状態に応じて前記演算制御バスを通じて、前記命令コードメモリのアドレスを出力し、及び／又は、前記接続構成情報メモリのアドレスを出力する構成としてある。

【0014】このようにすることにより、アレイ型プロセッサは、状態遷移管理部からプロセッサエレメントとプログラマブルスイッチエレメントに、効率良く制御信号を出力することができる。

【0015】さらに、一つ以上の前記演算制御バスを有し、前記状態遷移管理部が、前記演算制御バスに対して前記アドレスを出力し、かつ、各前記プロセッサエレメント及び／又は各前記プログラマブルスイッチエレメントが、それぞれ一つの前記演算制御バスを選択して前記アドレスを入力する構成としてある。

【0016】このようにすることにより、アレイ型プロセッサは、プロセッサエレメントを効率良く作動させることができ、処理性能が向上する。

【0017】また、前記状態遷移管理部が、それぞれの前記プロセッサエレメントおよびそれぞれの前記プログラマブルスイッチエレメントに対し、独立した前記アドレスを並列に与える構成としてある。

【0018】このようにすることにより、アレイ型プロセッサは、データバス部内のプロセッサエレメントを効率良く作動させることができるので、処理性能が向上する。

【0019】また、前記プロセッサエレメント及び／又は前記プログラマブルスイッチエレメントをグループ化し、このグループに対して一つの前記アドレスを与える構成としてある。

【0020】このようにすることにより、アレイ型プロセッサは、データバス部内のグループ化されたプロセッサエレメントを効率良く作動させることができるので、より処理性能が向上する。

【0021】さらに、一部の前記プロセッサエレメント及び／又は一部の前記プログラマブルスイッチエレメントに対してのみ、前記任意の時点における演算状態に応じた前記アドレスを与え、残りの前記プロセッサエレメントおよび残りの前記プログラマブルスイッチエレメントは、前記任意の時点における演算状態の直前に使用していた前記アドレスを継続して使用する構成としてある。

【0022】このようにすることにより、アレイ型プロセッサは、継続してプロセッサエレメントに処理を実行させることができ、また、きめ細かく柔軟な制御を行うことができるので、処理性能がより向上する。

【0023】また、前記演算制御バスが、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントに配設され、かつ、前記状態遷移管理部が、前記演算制御バスに対して前記アドレスを出力し、さらに、前

記プロセッサエレメント及び／又は前記プログラマブルスイッチエレメントが、隣接する前記演算制御バスのうちいずれか一つを選択して前記アドレスを得る構成としてある。

【0024】このようにすることにより、アレイ型プロセッサは、きめ細かく柔軟な制御を行うことができるので、処理性能がより向上する。

【0025】さらに、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントに対して、それぞれ独立の前記演算制御バスが配設され、かつ、該独立の演算制御バスは、それぞれ独立した制御が行われる構成としてある。

【0026】このようにすることにより、アレイ型プロセッサは、構成が単純化され、制御が容易になる。

【0027】さらに、前記プロセッサエレメントが、演算処理データを記録するレジスタを有する構成としてある。

【0028】このようにすることにより、アレイ型プロセッサは、演算部とレジスタ間の配線効率が改善されて、小型化されるとともに処理性能が向上する。

【0029】さらに、前記プロセッサエレメントが、外部からの入力データまたは前記演算処理データに対して、前記状態遷移管理部からの制御に応じた演算処理を行ない、この演算処理結果を、前記外部に出力データとして出力するか、あるいは、前記レジスタに記録する構成としてある。

【0030】このようにすることにより、アレイ型プロセッサは、演算処理を効率良く実行することができ、処理性能が向上する。

【0031】さらに、前記状態遷移管理部と前記データバス部とを電氣的に接続するイベント通知バスを有し、前記データバス部が、前記イベント通知バスを通じて、演算結果をイベントとして前記状態遷移管理部に通知する構成としてある。

【0032】このようにすることにより、アレイ型プロセッサは、きめ細かく柔軟な制御を行うことができるので、処理性能がより向上する。

【0033】さらに、前記シーケンサ部が、前記状態遷移テーブルメモリに書き込まれた前記状態遷移ルールにしたがって、前記演算状態から同一のまたは異なる演算状態への状態遷移を制御し、前記同一のまたは異なる演算状態を新たな演算状態とする構成としてある。

【0034】このようにすることにより、アレイ型プロセッサは、効率良く制御を行うことができるので、処理性能が向上する。

【0035】さらに、前記状態遷移テーブルが、複数の演算状態の記述エントリを並べたリスト形式で記録されており、前記記述エントリが、状態を識別するある時点の状態番号、状態遷移先の状態を識別する次の時点の状態番号及び前記ある時点の状態から次の時点の状態へ遷



移するための状態遷移条件を有する構成としてある。

【0036】このように、アレイ型プロセッサは、状態遷移テーブルが複数の演算状態の記述エントリを並べたリスト形式で記録されてあるので、効率が良くかつ容易な制御を行うことができるので、処理性能が向上する。

【0037】さらに、前記状態遷移管理部は、前記ある時点の状態番号、あるいは前記次の時点の状態番号に対応して、前記命令コードアドレスのアドレス及び／又は前記接続構成情報メモリのアドレスを管理する制御情報メモリを有し、前記状態遷移テーブルから特定された前記ある時点の状態番号、あるいは前記次の時点の状態番号を基に、前記接続構成情報メモリより前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスを特定する構成としてある。

【0038】このように、状態遷移先である、ある時点の状態番号、あるいは次の時点の状態番号の特定と、命令コードメモリのアドレス及び／又は接続構成情報メモリのアドレスの特定と、各々別のメモリを用いて実行することにより、メモリが搭載された回路面積の縮小と、状態遷移先を決定するための自由度の縮減のない接続制御バスのビット幅の縮減と、を実現することが可能となる。

【0039】また、前記ある時点の状態番号に対応して、前記次の時点の状態番号及び、前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスを管理する状態遷移テーブルを有し、前記状態遷移テーブルは、前記ある時点の状態番号を基に、前記次の時点の状態番号及び、前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスを特定する構成としてある。

【0040】このように、ある時点の状態番号を基に、次の時点の状態番号だけでなく、ある時点の命令コードメモリのアドレスも特定することにより、メモリの参照回数を減らすことが可能となり、より高速な処理を実現することが可能となる。

【0041】さらに、前記状態遷移テーブルが、前記ある時点の状態番号、前記次の時点の状態番号及び前記状態遷移条件を前記記述エントリとするイベント状態遷移テーブルと、前記ある時点の状態番号と前記次の時点の状態番号とを前記記述エントリとするデフォルト状態遷移テーブルとを有し、前記イベント状態遷移テーブルにより前記状態遷移条件が満たされる場合の状態遷移を実現し、かつ、前記デフォルト状態遷移テーブルにより前記状態遷移条件が満たされない場合の状態遷移を実現する構成としてある。

【0042】このようにすることにより、アレイ型プロセッサは、状態遷移を効率良く行なうことができ、制御が容易となる。

【0043】さらに、一つの前記ある時点の状態番号には、一つ以上の前記記述エントリが対応し、前記一つ以

上の記述エントリが、各々異なる前記状態遷移条件を有する構成としてある。

【0044】このようにすることにより、アレイ型プロセッサは、状態遷移を実行する際の自由度が拡大され、結果的に、制御が容易となる。

【0045】また、前記シーケンサ部が、イベントからイベント識別コードを生成し、さらに、前記状態遷移テーブルメモリを、前記ある時点の状態番号と前記イベント識別コードで検索し、この検索において、前記ある時点の状態番号が合致し、かつ、前記イベント識別コードが前記状態遷移条件を満たす前記記述エントリがある場合には、前記記述エントリにおける前記次の時点の状態番号に基づいて、前記状態遷移先の状態を決定する構成としてある。

【0046】このように、アレイ型プロセッサは、シーケンサ部が、イベントからイベント識別コードを生成し、さらに、状態遷移テーブルメモリを検索することによっても、状態遷移先を決定することができ、制御方式の選択の自由度が拡大される。

【0047】さらに、前記イベントが通知されない場合に、前記シーケンサ部が、前記イベントが発生しなかったことを示すイベント識別コードを生成し、さらに、前記ある時点の状態番号と前記イベント識別コードの組み合わせにより前記状態遷移テーブルメモリを検索する構成としてある。

【0048】このようにすると、イベントが発生しない場合であっても、アレイ型プロセッサは、シーケンサ部が状態遷移テーブルメモリを検索することができ、状態遷移先を決定する。

【0049】また、前記シーケンサ部が、イベントからイベント識別コードを生成し、さらに、前記イベント状態遷移テーブルを前記ある時点の状態番号と前記イベント識別コードで検索すると同時に、前記デフォルト状態遷移テーブルを前記ある時点の状態番号で検索し、この検索において、前記イベント状態遷移テーブルに、前記ある時点の状態番号と前記イベント識別コードが一致する前記状態記述エントリがある場合には、前記記述エントリにおける前記次の時点の状態番号に基づいて、前記状態遷移先の状態を決定し、あるいは、前記イベント状態遷移テーブルに、前記ある時点の状態番号と前記イベント識別コードとが一致する前記記述エントリが無かった場合には、前記デフォルト状態遷移テーブルにおける前記ある時点の状態番号と一致する前記記述エントリの前記次の時点の状態番号に基づいて、前記状態遷移先の状態を決定する構成としてある。

【0050】このようにすることにより、アレイ型プロセッサは、状態遷移先を決定することができ、制御方式の選択の自由度が拡大される。

【0051】また、前記状態遷移テーブルメモリからなる内容アドレスメモリに、前記ある時点の状態番号と前

10

20

30

40

50

記イベント識別コードとが入力され、前記内容アドレスメモリと前記記述エントリとの並列照合により一致した前記記述エントリにおける前記次の時点の状態番号が出力される構成としてある。

【0052】このように、アレイ型プロセッサは、前記状態遷移テーブルメモリを内容アドレスメモリとし、この内容アドレスメモリを照合することにより、次の時点の状態番号が出力できるので、制御方式の選択の自由度が拡大される。

【0053】更に、前記次の時点の状態番号の生成の開始以降、若しくは終了以降に、前記状態遷移先の状態に対応した前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスの生成が行われる構成としてある。

【0054】このようにすることにより、アレイ型プロセッサは、状態遷移管理部とデータパス部の信号の受け渡しの自由度が拡大され、きめ細かく柔軟な制御を行うことができる。

【0055】また、決定された前記状態遷移先の状態が、前記状態遷移管理部において前記ある時点の状態とされた時点で、前記ある時点の状態に対応する前記アドレスの生成を開始する構成としてある。

【0056】このようにすることにより、アレイ型プロセッサは、同じ状態遷移を連続して実行することができる。

【0057】更に、前記次の時点の状態番号の生成開始から前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントに前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスが届くまでのパスに、レジスタを設け、前記次の時点の状態番号の生成開始時点と、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントが前記アドレスを受け取る時点とを、別サイクルとする構成としてある。

【0058】このように、アレイ型プロセッサは、アドレスの生成開始時点と、プロセッサエレメントおよびプログラマブルロジックエレメントがアドレスを受け取る時点とを、別サイクルとすることにより、動作速度の向上を図ることが可能となる。これは、“演算動作＋イベント伝播＋アドレス配布”の動作を1サイクルとせず、に、“演算動作＋イベント伝播”と“アドレス配布”とを別サイクルとすることで、アドレスを発行するタイミングを前倒しにすることが可能となり、クリティカルパスであるこの部分の遅延を削除することが可能となるためである。

【0059】さらに、前記次の時点の状態番号の生成を開始する時点から、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントに前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスが届くまでを一つのサイクルとして独立させる

構成としてある。

【0060】このように、アレイ型プロセッサは、アドレスの生成開始時点と、プロセッサエレメントおよびプログラマブルロジックエレメントがアドレスを受け取る時点とを、別サイクルとすることにより、動作速度の向上を図ることが可能となる。これは、レジスタ等を用いることで、“演算動作＋イベント伝播”と“アドレス配布”とを別サイクルとすることで、クリティカルパスが短くなり、高速化（動作）が可能となる。

10 【0061】また、前記イベント識別コードを前記シーケンサ部から前記状態遷移テーブルメモリへ伝搬する接続線上に第一のレジスタを設け、該第一のレジスタにより前記イベント識別コードを前記接続線上において一時保持することで、前記次の時点の状態番号の生成開始時点と、前記プロセッサエレメントおよび前記プログラマブルスイッチエレメントが前記命令コードメモリのアドレス及び／又は前記接続構成情報メモリのアドレスを受け取る時点とを、別サイクルとする構成としてある。

20 【0062】このように構成することにより、アレイ型プロセッサは、命令コードアドレスを生成する時点と、生成した命令コードアドレスがプロセッサエレメント105及びプログラマブルスイッチエレメント106に到達する時点とを、別サイクルとして動作させることが可能となり、命令コードアドレスの発行のタイミングを他の構成に依存させずに、制御の確実性を向上させることができる。

30 【0063】さらに、前記状態遷移テーブルメモリが、前記ある時点の状態番号を含む全てのエントリにおける前記次の時点の状態番号を保持する一つ以上の第二のレジスタを有し、前記状態遷移条件が満たされる場合には、前記一つ以上の第二のレジスタで保持されている前記次の時点の状態番号の内、前記状態遷移条件を満たすいずれかを選択して出力する構成としてある。

【0064】このように構成することにより、アレイ型プロセッサは、イベント状態遷移テーブルへのある時点の状態番号の入力の如何に関わらず、データパス部に対して次の時点の状態番号に対する命令コードアドレスを発行することが可能となり、制御の確実性を向上させることが可能となる。

40 【0065】さらに、前記第一のレジスタ及び第二のレジスタ各々に対して、使用するか否かを選択するセレクタを有し、前記命令コードが、前記第一及び第二のレジスタを使用するか否かを制御する制御情報を含み、前記セレクタが、前記命令コードに基づき前記第一及び第二のレジスタを使用するか否かを選択する構成としてある。

50 【0066】このように構成することにより、アレイ型プロセッサは、上記請求項26に記載のアレイ型プロセッサにおける制御をより状況に応じて実行することが可能となり、制御の確実性を向上させることが可能とな

る。

【0067】さらに、前記状態遷移管理部が、クロック信号入力端子を有しており、このクロック信号入力端子から入力されるクロック信号の立ち上がり及び／又は立ち下がりにおいて、前記演算状態の遷移動作を同期させる構成としてある。

【0068】このように、アレイ型プロセッサは、演算状態の遷移動作を同期させることにより、精度の良い制御を行うことができる。

【0069】さらに、前記状態遷移管理部が、現時点での演算状態に依存せずに状態遷移させるための強制状態遷移信号により、強制的に前記演算状態が遷移する構成としてある。

【0070】このように、アレイ型プロセッサは、演算状態の遷移を強制的に遷移させることにより、制御が容易となる。

【0071】また、前記状態遷移テーブルが、入力された前記イベント識別コードとの一致を検出する強制状態遷移テーブルを有し、この強制状態遷移テーブルにおいて、前記状態遷移テーブルに入力された前記イベント識別コードと一致する前記記述エントリが存在する場合には、前記記述エントリに記述された次の時点の状態番号を強制的に状態遷移先の状態とする構成としてある。

【0072】このように、アレイ型プロセッサは、演算状態の遷移を強制的に遷移させることにより、制御が容易となる。

【0073】さらに、前記状態遷移管理部が、前記データバス部を制御する演算制御情報メモリを有する構成としてある。

【0074】このように、アレイ型プロセッサは、演算制御情報メモリを有することにより、データバス部の制御を効率良く行うことができる。

【0075】

【発明の実施の形態】以下、本発明に係るアレイ型プロセッサについて、図面を参照して説明する。先ず、本発明のアレイ型プロセッサの実施形態について説明する。

「アレイ型プロセッサの実施形態」図1は、本発明のアレイ型プロセッサの実施形態における概略ブロック図を示している。

【0076】＜アレイ型プロセッサの構成＞

〔アレイ型プロセッサの第1の実施例〕図1を説明するにあたり、この構成をアレイ型プロセッサの第1の実施例として説明する。同図において、アレイ型プロセッサ1は、演算制御バス103、イベント通知バス104及び外部イベントバス107が電気的に接続された状態遷移管理部101と、この状態遷移管理部101からの制御に応じた演算処理を行なう、複数のプロセッサエレメント（PE）105および電気的接続を行なう複数のプログラマブルスイッチエレメント（PSE）106を、二次元アレイ状に電気的に接続して構成されたデータバ

ス部102とを独立に具備した構成としてある。

【0077】状態遷移管理部101は、演算状態の遷移を管理する、すなわち、基本的に状態遷移手段として動作する。ここで、好ましくは、状態遷移管理部101からの制御は、状態遷移管理部101単独（入力される信号にかかわらず状態遷移管理部101の独自の判断による、閉じた状態）による演算状態の遷移、及び／又は、データバス部102からイベント通知バス104を通じてイベントを入力することによる演算状態の遷移、及び／又は、アレイ型プロセッサ1の外部から外部イベントバス107を通じてイベントを入力することによる演算状態の遷移に基づいて行われる構成とすると良く、これにより、アレイ型プロセッサ1は、きめ細かく柔軟な制御を行うことができるので、処理性能が向上する。

【0078】また、好ましくは、アレイ型プロセッサ1は、状態遷移管理部101とデータバス部102とを電気的に接続する演算制御バス103を具備し、状態遷移管理部101が、演算状態に応じて演算制御バス103を通じて、命令コードメモリのアドレスを出力し、及び／又は、後述する接続構成情報メモリのアドレスを出力する構成とすると良く、これにより、状態遷移管理部101からプロセッサエレメント105とプログラマブルスイッチエレメント106とに、効率良く制御信号を出力することができる。

【0079】つまり、データバス部102は、状態遷移管理部101から出力される、命令コードを記憶する命令コードメモリのアドレス、および、プログラマブルスイッチエレメント106相互間の接続構成を指示する接続構成情報メモリのアドレスにより（適宜、これら二つのアドレスを命令コードアドレスと略称する。）、プロセッサエレメント105の動作およびプログラマブルスイッチエレメント106の電気的接続関係が決定される。

【0080】具体的には、各プロセッサエレメント105は、入力した命令コードアドレスにしたがって演算を行い、また、各プログラマブルスイッチエレメント106は、データバス部102の内部および外部との電気的接続を行う。これにより、データバス部102は、データ入力108または後述するレジスタによりデータバス部102内部に記録されたデータを処理し、その結果をデータ出力109として出力するか、または、データバス部102の内部に記録することができる。

【0081】また、アレイ型プロセッサ1は、一つの演算制御バス103に限定するものではなく、二つ以上の演算制御バス103を具備し、状態遷移管理部101が、複数の演算制御バス103に対してアドレスを出力し、かつ、各プロセッサエレメント105及び／又は各プログラマブルスイッチエレメント106が、それぞれ一つの演算制御バス103を選択して、命令コードアドレスを入力する構成としても良く、これにより、プロセ

ッサエレメント 105 を効率良く作動させることができ、処理性能が向上する。

【0082】また、好ましくは、アレイ型プロセッサ 1 は、状態遷移管理部 101 が、プロセッサエレメント 105、および、プログラマブルスイッチエレメント 106 に対し、それぞれ独立したアドレスを並列に与えると良く、これにより、データバス部 102 内のプロセッサエレメント 105 を効率良く作動させることができるので、処理性能が向上する。

【0083】このように、アレイ型プロセッサ 1 の基本的な動作は、まず、状態遷移管理部 101 が、演算状態の遷移を管理することにより、ある時点の状態（適宜、現状態と略称する。）において行うべき処理を指示する命令コードアドレスを、演算制御バス 103 を通してデータバス部 102 に出力する。

【0084】続いて、データバス部 102 は、現状態に応じた処理を行い、また、データバス部 102 において発生したイベントを、イベント通知バス 104 を通じて状態遷移管理部 101 に出力する。そして、状態遷移管理部 101 は、このイベントの入力、外部からのイベントの入力又は状態遷移管理部 101 単独の動作により次の演算状態へと遷移し、この繰り返しにより一連の動作を行うことができる。

#### 【0085】＜状態遷移管理部の構成＞

〔状態遷移管理部の第 1 の実施例〕次に、本発明による状態遷移管理部 101 を好適に実施した第 1 の実施例について、図面を参照して説明する。図 2 は、本発明のアレイ型プロセッサ 1 の実施形態における状態遷移管理部 101 の概略ブロック図を示している。同図において、状態遷移管理部 101 は、複数の状態間の遷移ルールが書き込まれた状態遷移テーブルを記憶する状態遷移テーブルメモリ 202、この状態遷移テーブルメモリ 202 を用いて複数の状態間の遷移を制御することにより、次の状態を決定するシーケンサ部 201 及び命令コードアドレスをデータバス部 102 に出力する制御情報メモリ 203 とで構成してある。

【0086】シーケンサ部 201 は、クロック 207、リセット 208、イベント 209 及び次状態番号 205 の入力に応じて、イベント識別コード 206、及び／又は強制イベント識別コード 210、および現状態番号 204 を出力する。ここで、現状態番号 204 は、現状態を識別する番号（本明細書においては、ある時点の状態番号とも称す。）である。また、次状態とは、現状態から状態遷移する次の時点の状態（適宜、次状態と略称する。）をいい、同様に、次状態番号 205 は、次状態を識別する番号（本明細書においては、次の時点の状態番号とも称す。）である。また、「状態」とは、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 の状態である。

【0087】状態遷移テーブルメモリ 202 は、イベン

ト識別コード 206、及び／又は強制イベント識別コード 210、および現状態番号 204 を入力して、次状態番号 205 を出力する。また、制御情報メモリ 203 は、現状態番号 204 の入力に応じて演算制御バス 103 へ命令コードアドレスを出力する。

【0088】つまり、状態遷移管理部 101 は、状態遷移手段の動作として、シーケンサ部 201 が、現状態番号 204 とイベント識別コード 206 及び／又は強制イベント識別コード 210 を出力すると、その組み合わせに応じた次状態番号 205 が、状態遷移テーブルメモリ 202 からシーケンサ部 201 に出力される。そして、この次状態番号 205 は、シーケンサ部 201 から、次の現状態番号 204 として出力される。ここで、状態遷移手段とは、複数の演算状態間を遷移させる手段である。

【0089】また、イベント識別コード 206 は、シーケンサ部 201 への入力であるクロック 207、リセット 208 及びイベント 209 の各信号に応じて生成される信号である（適宜、各信号における信号の表示を省略する。）。なお、このイベント 209 は、イベント通知バス 104 および外部イベントバス 107 と電気的に接続してある。これにより、現状態番号 204 による状態およびイベント識別コード 206 によるイベントの組み合わせにより次の状態が決定するという、状態遷移手段の動作が実現できる。更に、強制イベント識別コード 210 は同様に、シーケンサ部 201 への入力であるクロック 207、リセット 208 及びイベント 209 の各信号に応じて生成される信号であり、他の構成から割り込みとして入力されるものである。但し、イベント識別コード 206 と強制イベント識別コード 210 とを区別せず、同一のものとして構成することも可能である。このイベント識別コード 206 及び強制イベント識別コード 210 については、以下の図 13 の説明において触れる。

【0090】また、制御情報メモリ 203 は、命令コードアドレスを記憶していて、シーケンサ部 201 の出力である現状態番号 204 を入力すると、演算制御バス 103 を通して、命令コードアドレスをデータバス部 102 に出力する。そして、上述したように、この命令コードアドレスは、データバス部 102 の動作を決定する。このようにして、現在の状態に応じてデータバス部 102 が動作するという仕組みが実現される。

【0091】また、後述において図 5 を用いて説明するが、アレイ型プロセッサ 1 は、制御情報メモリ 203 を配設せず、制御情報メモリ 203 が命令コードアドレスを出力する構成の代わりに、状態遷移テーブルメモリ 202 が次状態番号 205 の他に命令コードアドレス（対応する状態遷移テーブルメモリ 202 の詳細を説明する図 16 における命令コードアドレス 1505 に対応）を出力するよう構成することも可能である。但し、この場

合に適用される状態遷移テーブルメモリ 202 の構成としては、後述において、図 16 を用いて説明する形態が例に挙げられる。また、図 5 の構成において、命令コードアドレス 1505 を出力せず、次状態番号 205 自体を命令コードアドレスとして、制御情報バス 103 を介してデータバス部 102 へ出力するよう構成することも可能である。この場合、データバス部 102 では、入力された次状態番号 205 に基づいて、各プロセッサエレメント 105 の演算状態の遷移、及び／又は、各プログラマブルスイッチエレメント 106 の接続状態の遷移が実行される。但し、このように構成した場合、データバス部 102 における各プロセッサエレメント 105 及び各プログラマブルスイッチエレメント 106 の遷移先となる演算状態若しくは接続状態の自由度がある程度限定されてしまうという欠点が生じる。この欠点を解決するものが、上述の次状態番号 205 と命令コードアドレスとの双方を状態遷移テーブルメモリ 202 が出力する構成である。この構成については、後述において図 16 を用いて詳細に説明する。

【0092】また、好ましくは、アレイ型プロセッサ 1 は、状態遷移管理部 101 のシーケンサ部 201 が、クロック信号入力端子を有しており、このクロック信号入力端子から入力されるクロック信号 207 の立ち上がり及び／又は立ち下がりにおいて、演算状態の遷移動作を同期させる構成とすると良く、これにより、精度の良い制御を行うことができる。

【0093】また、アレイ型プロセッサ 1 は、リセット 208 の入力により、強制的にシーケンサ部 201 の動作を初期化し、現状態番号 204 を初期値にすることもできる。またさらに、アレイ型プロセッサ 1 は、イベント信号 209 の入力により、強制的に現状態番号 204 を変更することもできる。

【0094】また、例えば、後述するデータバス部 102 の第 4 の実施例のように、プロセッサエレメント 105 及び／又はプログラマブルスイッチエレメント 106 をグループ化した場合は、好ましくは、グループに対して独立したアドレスを並列に与えると良く、これにより、アレイ型プロセッサ 1 は、データバス部 102 内のグループ化されたプロセッサエレメント 105 を効率良く作動させることができるので、より処理性能が向上する。

【0095】また、アレイ型プロセッサ 1 は、基本的には、プロセッサエレメント 105 の動作およびプログラマブルスイッチエレメント 106 の電氣的接続が、状態遷移管理部 101 からの命令コードアドレスにより決定されることを基本とするが、その決定の一部または全体が、状態遷移管理部 101 によらずデータバス部 102 内部で生成されたイベント信号により、直接的に決定されることもできる。

【0096】ここで、好ましくは、アレイ型プロセッサ

1 は、一部のプロセッサエレメント 105 及び／又は一部のプログラマブルスイッチエレメント 106 に対してのみ、複数の状態に応じたアドレスを与え、残りのプロセッサエレメント 105 及び／又はプログラマブルスイッチエレメント 106 は、複数の状態の直前に使用していたアドレスを継続して使用すると良く、これにより、一部は前演算（状態）を継続して動作させ、他は演算（状態）を変えるという柔軟な制御を効率的に行うことができるので、処理性能がより向上する。この構成については、後述において実施例を用いて詳細に説明する。

【0097】なお、データバス部 102 は、イベント通知バス 104 を通じて、演算結果をイベントとして状態遷移管理部 101 に通知することができるので、アレイ型プロセッサ 1 は、柔軟な制御を行うことができる。

【0098】〔状態遷移管理部の第 2 の実施例〕続いて、状態遷移管理部 101 の第 2 の実施例について、図面を参照して説明する。図 3 は、本発明のアレイ型プロセッサ 1 の実施形態における状態遷移管理部 101 の第 2 実施例の概略ブロック図を示している。同図において、状態遷移管理部 101 は、図 2 と異なり、次状態番号 205 を制御情報メモリ 203 の入力としており、演算制御バス 103 に次状態の命令コードアドレスが出力される構成としてある。

【0099】このようにすることにより、アレイ型プロセッサ 1 は、シーケンサ部 201 の状態遷移すなわち次状態番号 205 を現状態番号 204 として有効化する動作とともに、各プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 が演算制御バス 102 からの命令コードアドレスを有効化すると、状態遷移と同時に各プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 が命令の実行を開始できる。

【0100】この命令の実行の開始、すなわち演算動作の開始について、図面を参照して説明する。図 4 は、図 2 及び図 3 に示した状態遷移管理部 101 の命令コードアドレス発行のタイミングチャート図を示している。

【0101】同図において、現状態番号を命令コードアドレス発行に使用（図 2）する場合は、シーケンサ部 201 が現状態番号 204 を発行してから制御情報メモリ 203 により命令コードアドレスを出力し、各プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 に命令コードアドレスが届くまでの、命令コードアドレス発行のための遅延 401 が、状態遷移 402 から各プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 が命令を実行するまでに必要となる。

【0102】これに対し、次状態番号 204 を命令コードアドレス発行に使用（図 3）する場合は、状態遷移 402 の前に、命令コードアドレス発行が行われるので、この遅延を回避することができる。ただし、この場合に

は、命令コードアドレス発行のための遅延 401 が状態遷移直前の状態 403 に含まれることになる。

【0103】なお、この遅延を回避するために、アレイ型プロセッサ 1 は、本説明の末尾において構成例を用いて説明するが、状態遷移テーブルメモリ 202 による次状態番号 205 の出力から、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 における命令コードアドレスの受け取りまでのパス間に、電氣的に絶縁するレジスタを設け、命令コードアドレス発行のための遅延 401 を状態遷移 402 の直前の状態 403 と直後の状態 404 に分配する構成や、命令コードアドレス発行のための遅延 401 を 1 サイクルとして分離し隠蔽する構成とすることもできる。

【0104】〔状態遷移管理部の第 3 の実施例〕更に、図 3 に示す状態遷移管理部 101 は、図 5 に示すように変形して実施することが可能である。これを以下の説明において状態遷移管理部 101 の第 3 の実施例とする。以下、状態遷移管理部 101 の第 3 の実施例について、図面を参照して説明する。図 5 は、本発明のアレイ型プロセッサの実施形態における状態遷移管理部の第 3 の実施例の概略ブロック図を示している。

【0105】同図において、状態遷移管理部 101 は、図 3 に示す状態遷移管理部の第 2 の実施例と異なり、制御情報メモリ 203 の構成が削除され、状態遷移テーブルメモリ 202 がそのまま演算制御バス 103 を介してデータバス部 102 へ接続される構成としてある。

【0106】これは、状態遷移管理部の第 2 の実施例では、メモリの参照が状態遷移テーブルメモリ 202 と制御情報メモリ 203 とで行われるよう構成されていたものを、状態遷移テーブルメモリ 202 における参照の一回で済ますよう構成するためである。即ち、上述の状態遷移管理部の第 2 の実施例では、シーケンサ部 201 より出力された現状態番号 204 を基に、先ず状態遷移テーブルメモリ 202 において対応する次状態番号 205 を特定し、この次状態番号 205 をシーケンサ部 201 と制御情報メモリ 203 とに並列に入力し、制御情報メモリ 203 において対応する命令コードアドレスを特定する構成としてあるが、図 5 に示す本実施例では、状態遷移テーブルメモリ 202 において、シーケンサ部 201 より入力された現状態番号 204 に対応する次状態番号 205 と命令コードアドレス（対応する状態遷移テーブルメモリ 202 の詳細を説明する図 16 における命令コードアドレス 1505 に対応）とを特定し、この特定した次状態番号 205 をシーケンサ部 201 へ、また、命令コードアドレスをデータバス部 102 へ出力するよう構成してある。

【0107】このように構成することで、本実施例によるアレイ型プロセッサ 1 では、メモリを参照するという処理を一度にまとめることが可能となり、処理速度の向上を図ることができる。

【0108】このことを模式的に説明するためのタイミングチャート図を図 6 に示す。図 6 を参照すると、本実施例では、上述の状態遷移管理部の第 2 の実施例と比較して、命令コードアドレス発行に要する時間が短縮、即ち、再度（２回目）のメモリ（制御情報メモリ 203）参照による遅延が削減され、結果として、イベント伝搬からデータバス部におけるプロセッサエレメントの動作開始までの時間が短くなっている。これは、メモリ参照回数を一回に減らしたために生じた効果である。

【0109】（データバス部の構成）

〔データバス部の第 1 の実施例〕次に、データバス部 102 の第 1 の実施例について、図面を参照して説明する。図 7 は、本発明のアレイ型プロセッサ 1 の実施形態におけるデータバス部 102 の第 1 の実施例の概念図を示している。同図において、データバス部 102 は、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 のアレイによって構成してある。

【0110】ここで、隣接するプロセッサエレメント 105 は、プログラマブルスイッチエレメント 106 を介して電氣的に接続されている。また、各プロセッサエレメント 105 は、一つ以上のプログラマブルスイッチエレメント 106 を介して、さらに、任意あるいは一定の制限を受けた上で、他のプロセッサエレメント 105 あるいはデータバス部 102 の外部と電氣的に接続することができる。

【0111】図 8 は、本発明のアレイ型プロセッサの実施形態におけるデータバス部 102 の第 1 の実施例の概略ブロック図を示している。同図において、データバス部 102 は、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 がそれぞれマトリクス状に配設された構成としてある。

【0112】ここで、各プログラマブルスイッチエレメント 106 は、格子状に配設されたデータバス 601 及びイベント通知バス 104、並びに、列方向に並列に配設された演算制御バス 103 と電氣的に接続されている。また、各プログラマブルスイッチエレメント 106 は、電氣的に接続されているデータバス 601 の接続を On/Off させることができ、また、同様に、イベント通知バス 104 の接続を On/Off させることができる。但し、各プログラマブルスイッチエレメント 106 が全データバス 601 及び全イベント通知バス 104 の接続を On/Off するわけではなく、状況に応じて制限が加えられる場合も存在する。これは、各プログラマブルスイッチエレメント 106 が全てのデータバス 601 及び全てのイベント通知バス 104 を On/Off できるように構成すると、接続の自由度は増すが、配線が断片的（プログラマブルスイッチエレメント 106 毎に全て接続スイッチが設けられる。）となり、遅延が増加するためである。更に、全てのプログラマブルスイッチエレメント 106 が全てのデータバス 601 及び全ての



イベント通知バス 104 を On/Off する場合、これを制御するための情報量が膨大なものとなるためである。したがって、各位置の全てのバス（データバス 601 及びイベント通知バス 104）にスイッチを設けるだけでなく、部分的に設けることで、全体における整合を図る。また、この構成において、データバス 601 は、図 7 におけるプログラマブルスイッチエレメント 106 に含まれるものであり、各プログラマブルスイッチエレメント 106 を接続するためのものである。

【0113】プロセッサエレメント 105 は、それぞれ対応するプログラマブルスイッチエレメント 106 から配設されたデータバス 601 及びイベント通知バス 104、並びに、列方向に並列に配設された演算制御バス 103 と電気的に接続されている。これにより、プロセッサエレメント 105 は、プログラマブルスイッチエレメント 106 を通して、データ入力 108 およびデータ出力 109 を行い、また、同じく、イベントの発行およびイベントの受け取りを行うことができる。ここで、データバス部 102 は、このイベント通知バス 104 が、データバス 601 の一部として組み込まれる構成とすることもできる。

【0114】また、データバス部 102 は、演算制御バス 103 がプロセッサエレメント 105 とプログラマブルスイッチエレメント 106 とに配線されており、この演算制御バス 103 から各プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 に命令コードアドレスが出力され、それぞれの動作が決定される。演算制御バス 103 は、この構成により、省スペース化を実現することができるが、この構成に限定するものではない。

【0115】例えば、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 に対して、格子状に演算制御バス 103 を配設し、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 が、隣接する演算制御バス 103 のうちいずれか一つを選択してアドレスを得る構成としても良く、これにより、アレイ型プロセッサ 1 は、きめ細かく柔軟な制御を行うことができる。

【0116】また、例えば、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 に対して、それぞれ独立の演算制御バス 103 を配設し、かつ、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 に対して独立した制御を行なう構成としても良く、これにより、制御の自由度が拡大されると共に、アレイ型プロセッサ 1 の構成が単純化され、制御も容易になる。

【0117】〔データバス部の第 2 の実施例〕続いて、実施形態におけるデータバス部 102 の第 2 の実施例について、図面を参照して説明する。図 9 は、本発明のアレイ型プロセッサ 1 の実施形態におけるデータバス部 1

02 の第 2 の実施例の概略ブロック図を示している。

【0118】同図において、データバス部 102 は、プロセッサエレメント 105 およびプログラマブルスイッチエレメント 106 がそれぞれマトリックス状に配設された構成としており、演算制御バス 701 がプロセッサエレメント 105 と電気的に接続しており、また、接続構成情報を制御する接続制御バス 702 がプログラマブルスイッチエレメント 106 と電気的に接続してある。その他の構造については、図 8 に示すデータバス部 102 と同様としてある。但し、本図における接続制御バス 702 は、プロセッサエレメント 105 に着目して説明した図 1 における演算制御バス 103 に含まれるものであり、各プログラマブルスイッチエレメント 106 の接続状態を遷移させるための命令コードアドレスを伝播するための媒体である。また、本発明では、説明の明確化及び簡略化のため、必要に応じて接続制御バス 702 に関する説明を省略するが、本来は、全ての構成において、接続制御バス 702 も演算制御バス 103 に含まれて構成されているものである。以下における本実施例の説明では、各々を演算制御バス 701 と接続制御バス 702 とに区別する。

【0119】ここで、演算制御バス 701 と接続制御バス 702 とは、それぞれプロセッサエレメント 105 とプログラマブルスイッチエレメント 106 とに命令コードアドレスを送ることができるように、それぞれが独立のリソースとして用意されている。これによりプロセッサエレメント 105 とプログラマブルスイッチエレメント 106 との構成を全く独立に制御することが可能となり、プロセッサエレメント 105 と比較して、プログラマブルスイッチエレメント 106 による接続の変更をより多く可能にするなど、データバス部 102 の構成変更の自由度を高め、より柔軟性を増すことができる。

【0120】このように演算制御バス 701 と接続制御バス 702 とを分離する場合も、演算制御バス 701 および接続制御バス 702 は、状態遷移管理部 101 からの制御により、演算制御バス 103 だけの構成の場合と同様の構成にて実現することができる。また、本実施例は、図 8 においては、データバス 601 と分離しているイベント通知バス 104 を、データバス 703 内に含めた構成の例でもある。

【0121】〔データバス部の第 3 の実施例〕続いて、実施形態におけるデータバス部の第 3 の実施例について、図面を参照して説明する。図 10 は、本発明のアレイ型プロセッサ 1 の実施形態におけるデータバス部 102 の第 3 の実施例の概略ブロック図を示している。

【0122】同図において、データバス部 102 は、プロセッサエレメント 105 とプログラマブルスイッチエレメント 106 とが、各プロセッサエレメント 105 の周囲を八個のプログラマブルスイッチエレメント 106 で取り囲むように、配設した構成としてある。ここで、

データバス部 102 は、隣接するプログラマブルスイッチエレメント 106 同士、および隣接するプログラマブルスイッチエレメント 106 とプロセッサエレメント 105 とがデータバス 801 により電氣的に接続されており、また、プログラマブルスイッチエレメント 106 およびプロセッサエレメント 105 に、演算制御バス 103 が配線してある。ここで、図 10 には示していないが、各プロセッサエレメント 105 を取り囲むように四角に構成された 8 個のプログラマブルスイッチエレメント 106 のうち、この四角の対角に存在するプログラマブルスイッチエレメント 106 に関しても、この四角の中央に位置するプロセッサエレメント 105 とデータバス 801 を介して接続するよう構成することも可能である。

【0123】プロセッサエレメント 105 同士のデータのやり取りは、プログラマブルスイッチエレメント 106 を介す形で行われる。つまり、一つのプロセッサエレメント 105 が複数のスイッチエレメント 106 に接続されていることにより、プロセッサエレメント 105 のデータ入出力接続の自由度が高められている。

【0124】〔データバス部の第 4 の実施例〕続いて、実施形態におけるデータバス部 102 の第 4 の実施例について、図面を参照して説明する。図 11 は、本発明のアレイ型プロセッサ 1 の実施形態におけるデータバス部 102 の第 4 の実施例の概略ブロック図を示している。

【0125】同図において、データバス部 102 は、隣接するプロセッサエレメント 105 間を直接電氣的に接続する、複数（一例として、16 個）のプロセッサエレメント 105 からなるグループ 902 が、複数（20 個）のプログラマブルスイッチエレメント 106 で囲まれるように、配設された構成としてある。つまり、このグループ 902 間は、プログラマブルスイッチエレメント 106 を介して電氣的に接続される。

【0126】これにより、同一グループ 902 内の隣接するプロセッサエレメント 105 間では、プログラマブルスイッチエレメント 106 を通さずに接続することが可能となり、遅延等の性能面や回路量の削減による面積の縮小化といった効果を得ることができる。即ち、配線において、プロセッサエレメント 105 をプログラマブルスイッチエレメント 106 で挟むように構成した場合、隣接するプロセッサエレメント 105 を接続する場合でも、その間に必ずプログラマブルスイッチエレメント 106 が設けられることとなり、遅延や面積でのデメリットが生じる。また、実際の利用する場合を考慮すると、各プロセッサエレメント 105 間に必ずしもプログラマブルスイッチエレメント 106 が必要であるとは限らない。これは、例えば“A+B+C”を演算する場合、先ず“A”と“B”とが初段のプロセッサエレメント 105 に入力され、次に、この初段のプロセッサエレメント 105 における演算結果“A+B”と“C”と

が、次段のプロセッサエレメント 105 に入力されることで実現することができる。これは、隣接するプロセッサエレメント 105 間を接続するためのプログラマブルスイッチエレメント 106 が必ずしも必要な訳ではないことを示している。従って、本実施例では、ある程度のサイズ（個数）のプロセッサエレメント 105 のみのアレイを作成し、このアレイ同士をプログラマブルスイッチエレメント 106 により接続する。但し、本実施例における構成においても、各プロセッサエレメント 105 同士を接続するためのスイッチエレメントは必要である。このスイッチエレメントは、隣接するプロセッサエレメント 105 同士を接続する機能のみを有するものであればよいと、本実施例では、詳細な説明を省略する。また、本実施例における図面では、このスイッチエレメントが、各プロセッサエレメント 105 に予め組み込まれているものとする。

【0127】（シーケンサ部の構成）

〔シーケンサ部の第 1 の実施例〕次に、実施形態（図 2）におけるシーケンサ部 201 の第 1 の実施例について、図面を参照して説明する。図 12 は、本発明のアレイ型プロセッサ 1 の実施形態におけるシーケンサ部 201 の第 1 の実施例の概略ブロック図を示している。

【0128】同図において、シーケンサ部 201 は、クロック 207、リセット 208 及びイベント 209 の各信号を入力し、イベント識別コード 206 及び／又は強制イベント識別コード 210 を出力する符号化器 1001 と、クロック 207、リセット 208 及び次状態番号 205 の各信号を入力し、現状態番号 204 を出力するレジスタ 1002 とで構成してある。

【0129】ここで、入力された次状態番号 205 は、レジスタ 1002 に入力され、現状態番号 204 として出力される。この際、新たな現状態番号 204 を出力するタイミングは、クロック 207 を用いて同期化することもできる。また、リセット 208 の入力により、現状態番号 204 を初期化することもできる。

【0130】符号化器 1001 は、入力されたイベント 209 を符号化し、イベント識別コード 206 及び／又は強制イベント識別コード 210 として出力する。ここで、イベント 209 をそのままイベント識別コード 206 及び／又は強制イベント識別コード 210 とすることも可能であるし、符号化したものをイベント識別コード 206 及び／又は強制イベント識別コード 210 とすることも可能である。後者の場合、符号化により、イベント識別コード 206 及び／又は強制イベント識別コード 210 の伝送に必要とするビット幅を小さくすることができる。但し、以下に図 15 を用いて説明するが、イベント 209 を符号化せず、イベント識別コード 206 を、このイベント識別コード 206 における各ビットがイベント状態遷移テーブル（図 15 ではイベント状態遷移テーブル 1111）の 1 つ以上の出力に 1 対 1 で対応



する hot 信号として構成する方が、信号を容易に取り扱うことが可能となり、さらに、同一サイクル内で次状態番号が変化するという問題（ハザード）の発生を防ぎ易いという利点を発揮することができる。また、リセット 208 をイベント 209 の一つとして扱うこともできる。

【0131】また、イベント識別コード 206 の発生タイミングは、クロック 207 を用いて同期化することもできるし、入力遷移時に出力が直ちに变化する非同期式とすることもできる。

【0132】（状態遷移テーブルメモリの構成）

〔状態遷移テーブルメモリの第 1 の実施例〕次に、実施形態（図 2）における状態遷移テーブルメモリ 202 の第 1 の実施例について、図面を参照して説明する。図 13 は、本発明のアレイ型プロセッサ 1 の実施形態における状態遷移テーブルメモリ 202 の第 1 の実施例の概略ブロック図を示している。

【0133】状態遷移テーブルメモリ 202 は、イベント状態遷移テーブル 1101、デフォルト状態遷移テーブル 1102、強制状態遷移テーブル 1103 及びセレクト 1108、1110 とからなっており、状態遷移テーブルメモリ 202 に書き込まれた状態遷移ルールにしたがって、ある演算状態から同一または異なる演算状態へ状態遷移を制御し、同一または異なる演算状態を新たな演算状態とすることができる。

【0134】ここで、イベント状態遷移テーブル 1101 は、現状態番号 204 とイベント識別コード 206 とを入力し、両者の組み合わせに一致するエントリが存在した場合にのみ、それに応じた次状態番号 1106 が出力される。また、一致したエントリが存在したかどうかを示す、イベント一致信号 1104 も同時に出力される。一方、デフォルト状態遷移テーブル 1102 は、現状態番号 204 を入力し、この入力に応じた次状態番号 1107 を出力する。

【0135】そして、この二つのテーブル 1101、1102 において、現状態番号 204 とイベント識別コード 206 との組み合わせに一致するエントリが、イベント状態遷移テーブル 1101 に存在する場合には、そこで指定された次状態番号 1106 がセレクト 1108 で選択され次状態番号 205 として出力される。また、上述の一致するエントリが、イベント状態遷移テーブル 1101 に存在しない場合には、デフォルト状態遷移テーブル 1102 で示された、現状態番号 204 に応じた次状態番号 1107 が、セレクト 1108 で選択され次状態番号 205 として出力される。このセレクト 1108 における選択は、イベント一致信号 1104 を用いることで実現できる。

【0136】強制状態遷移テーブル 1103 は、強制イベント識別コード 210 が強制状態遷移テーブル 1103 のエントリと一致した場合に、次状態番号 1109 を

決定する。そして、この強制状態遷移テーブル 1103 において一致した場合には、セレクト 1110 は、先に示した次状態番号 1106、1107 より優先的に、次状態番号 1109 を次状態番号 205 として出力することができる。具体的には、このような出力は、強制状態遷移テーブル 1103 で一致が起こったことを示す強制イベント一致信号 1105 と、セレクト 1110 を用いて実現することができる。

【0137】このように、アレイ型プロセッサ 1 は、状態遷移管理部 101 が、強制状態遷移信号である強制イベント一致信号 1105 により、強制的に演算状態が遷移する構成とすると良く、これにより、制御が容易となる。但し、上記のような動作を実現するにあたり、上記におけるイベント状態遷移テーブル 1101 を、内容アドレスメモリ（CAM: Content Addressable Memory）により構成するとよい。また、これは、図 17 に示す状態遷移テーブルメモリ 202 における通常状態遷移テーブル 1301 でも同様である。但し、内容アドレスメモリとは、メモリをアドレスではなく内容（アドレスと異なり入力値の群が不連続）で引くメモリのことである。

【0138】また、状態遷移テーブルメモリ 202 は、例えば、リセット 208 により強制的に次状態番号 205 を初期化することも可能である。この構成により、状態遷移手段における状態間の遷移ルールをイベント状態遷移テーブル 1101 及び／又はデフォルト状態遷移テーブル 1102 及び／又は強制状態遷移テーブル 1103 に書き込むことができる。つまり、デフォルト状態遷移テーブル 1102 を用いてデフォルトの状態遷移先を指定する。ここで、条件分岐が存在する（デフォルト以外の状態遷移先が存在する）場合には、それらを全てイベント状態遷移テーブル 1101 に書き込む。また、割り込みのように、状態に関わらず必ず強制的に状態を遷移させたい場合には、次状態番号 1109 を強制状態遷移テーブル 1103 に書き込む。このように各テーブルに、状態遷移条件に応じて複数持つ遷移可能な次状態の次状態番号を書き込むことにより、この書き込まれた次状態番号の中から一つを次状態として選択することが可能となる。ここで、状態遷移条件の判断はイベント識別コード 206 及び強制イベント識別コード 210 の判別により実現する。但し、本実施例及び、その他の各実施例において、イベント識別コード及び強制イベント識別コード（各々の符号は各実施例におけるもの）を区別することなく、1 つのコードとして構成することも可能である。

【0139】また、イベント状態遷移テーブル 1101 のテーブルサイズが許す範囲内において、一状態が記録する遷移可能な次状態の数に制限は無く、状態遷移に要する時間も遷移可能な次状態の数に依らず一定とすることができる。即ち、全状態における条件分岐数の総和がイベント状態遷移テーブル 1101 のサイズ（エントリ

数)に収まる数であれば問題は生じない。これは、一つの状態が持つ遷移可能な次状態数のばらつきに依って、イベント状態遷移テーブル1101に無駄が生じることが無いことを意味する。

【0140】続いて、実施形態における状態遷移テーブルメモリ202に書き込まれた状態遷移例について、図13及び図14を参照して説明する。図14は、本発明のアレイ型プロセッサ1の実施形態における状態遷移テーブルメモリ202に書き込まれた状態遷移例の図を示している。先ず、同図において、現状態番号204がST-01の場合、次状態番号205は無条件にST-02となる。この動作を状態遷移テーブルメモリ202に記述するには、デフォルト状態遷移テーブル1102に、  
 ‘現状態番号204をST-01、次状態番号1107をST-02’  
 としたエントリを作成することで実現される。

【0141】続いて、動作時は、現状態番号204がST-01であるとイベント状態遷移テーブル1101に一致するエントリが存在しないためイベント一致信号1104は出力されず、デフォルト状態遷移テーブル1102において現状態番号204がST-01であるエントリが必ず有効となり、次状態番号1107がST-02となり、次状態番号205として出力される。

【0142】次に現状態番号204がST-02の場合は、条件により次状態番号1106がST-02、ST-03、ST-05、ST-11の四つのいずれかとなる(図13を参照願います。)。イベントEV-10が入力された場合は状態ST-03へ遷移するため、イベント状態遷移テーブル1101に、  
 ‘現状態番号204をST-02、イベント識別コード206をEV-10、次状態番号1106をST-03’  
 としたエントリを作成する。

【0143】同様に、イベントEV-18が入力された場合は状態ST-05へ遷移するため、  
 ‘現状態番号204をST-02、イベント識別コード206をEV-18、次状態番号1106をST-05’  
 としたエントリ、イベントEV-21が入力された場合は状態ST-11へ遷移するため、  
 ‘現状態番号204をST-02、イベント識別コード206をEV-21、次状態番号1106をST-11’  
 としたエントリをそれぞれイベント状態遷移テーブル1101に作成する。

【0144】それ以外の場合は次状態番号205がST-02であるので、デフォルト状態遷移テーブル1102に、  
 ‘現状態番号204をST-02、次状態番号1107をST-02’  
 としたエントリを作成する。

【0145】上述した記述により、例えば、現状態番号204がST-02である場合に、イベント識別コード206にEV-21が入力されると、イベント状態遷移テーブル1101において、この二つの組み合わせに一致するエントリが有効となり、ST-11が次状態番号

205として出力される。その際、イベント状態遷移テーブル1101で一致が発生しているのでイベント一致信号1104が出力され、デフォルト状態遷移テーブル1102から出力される現状態番号204のST-02に対応した次状態番号1107のST-02は破棄される。

【0146】次に、現状態番号204がST-02で、イベント識別コード206にEV-10、EV-18、EV-21のいずれも入力されなかった場合、イベント一致信号1104が出力されず、デフォルト状態遷移テーブル1102から、現状態番号ST-02に対応したST-02が次状態番号205として出力される。

【0147】さらに、上記のいずれの場合においても、強制イベント識別コード210にIRQ-01が入力された場合、強制状態遷移テーブル1103においてIRQ-01に対応したST-01が次状態番号205として出力される(図13を参照願います。)。この場合は、強制イベント一致信号1105が出力されるため、イベント状態遷移テーブル1101の出力およびデフォルト状態遷移テーブル1102の出力は破棄され、強制状態遷移テーブル1103からの次状態番号1109のST-01が有効となる。

【0148】また、図13に示す状態遷移テーブルメモリ202は、以下に示すように応用して実施することが可能である。以下に、この実施例の幾つかを図面を用いて詳細に説明する。

【0149】〔状態遷移テーブルメモリ第2の実施例〕図15は、図13に示す本発明の状態遷移テーブルメモリ202を変形した第2の実施例のブロック図を示している。

【0150】図15を参照すると、本実施例による状態遷移テーブルメモリ202は、イベント状態遷移テーブル1111、デフォルト状態遷移テーブル1112、強制状態遷移テーブル1113、イベント発生判定回路1211、1212及びセクタ1118、1119、1120を有して構成されており、図13に示した状態遷移テーブルメモリ202と同様に、書き込まれた状態遷移ルールに従って、ある演算状態から同一のまたは異なる演算状態への状態遷移を制御し、同一のまたは異なる演算状態を新たな演算状態とすることを可能としている。

【0151】上記構成において、本実施例によるイベント状態遷移テーブル1111は、入力された現状態番号204に対して一つ以上のエントリを次状態番号1126として出力する(図15では、4つのエントリを次状態番号1126として出力するよう構成されている)。この構成において、イベント状態遷移テーブル1111から出力される次状態番号1126の数は、各現状態番号204に対応する次状態番号1126において、この種類数が最も多い場合でも対応可能な数となるように構

成される。即ち、現状態番号 204 が ST-02 である場合に対して遷移先となる次状態番号 205 が ST-03, ST-05, ST-11, ST-13 の計 4 種類存在する場合、この出力数は 4 つ、あるいはこれ以上となる。また、例えばイベント状態遷移テーブル 1111 が入力された現状態番号 204 に対して 4 つのエントリを次状態番号 1126 として出力するよう構成した場合、イベント識別コード 1206 は、この 4 つの次状態番号 1126 の中から何れか 1 つの次状態番号 1126 をセレクト 1118 に選択させる。このための構成としては、例えば、イベント識別コード 1206 を 4 ビットで構成し、各々のビットとイベント状態遷移テーブル 1111 の出力とを対応させ、セレクト 1118 において “1” が格納されたビットに対応する次状態番号 1126 を選択して出力するよう構成することで実現することが可能である。但し、このように構成する場合、イベント状態遷移テーブル 1111 の出力数とイベント識別コード 1206 のビット数とを同数として構成する必要がある。

【0152】また、上記では、イベント状態遷移テーブル 1111 の出力数が 4 である場合、イベント識別コード 1206 を 4 ビットで構成したが、これを  $(2n - 1) \leq 4$  を満たす  $n$  ビットにより構成することも可能である（図 15 に示す例では  $n$  は 3 となる）。ここで、例えばイベント識別コード 1206 を 3 ビットで構成した場合、イベント識別コード 1206 は、0 から 7 の 8 種類で表現されるため、イベント状態遷移テーブル 1111 の出力を、この値に対応させることで、セレクト 1118 において出力させる次状態番号 1126 を選択させることが可能となる。以下に、図 15 を例に挙げて具体的に説明する。図 15 を参照すると、イベント識別コード 1206 を 3 ビットにより “0” から “7” で構成し、イベント状態遷移テーブル 1111 の出力を同図における上から順に “1”, “2”, “3”, “4” と割り当てることで、セレクト 1119 へ出力する次状態番号 1126 を選択させる。但し、この場合、イベント識別コード 1206 が “0” 若しくは “5” ~ “7” であった場合は、セレクト 1119 へデフォルト状態遷移テーブル 1112 から入力された次状態番号 1127 を出力するようセレクト 1118 を制御する。

【0153】また、上記の各イベント識別コード 1206 の構成双方を両立させて構成することも可能である。このように構成する場合、図 15 におけるセレクト 1118 に図 28 に示すようなメモリを接続させ、このメモリからの制御に従い、イベント識別コード 1206 をデコードするか否かを選択させるよう構成することで実現することが可能である。但し、この場合でも、イベント識別コード 1206 のビット数は、イベント状態遷移テーブル 1111 からセレクト 1118 へ出力される次状態番号候補の数に限定する必要がある。

【0154】このようにセレクト 1118 で選択して出力された次状態番号 1126 は、セレクト 1119 に入力される。また、このセレクト 1119 には、デフォルト状態遷移テーブル 1112 から出力された次状態番号 1127 も入力されるよう構成される。ここで、デフォルト状態遷移テーブル 1112 は、入力された現状態番号 204 に一意に対応する次状態番号 1127 を出力するよう構成される。従って、セレクト 1119 は、イベント状態遷移テーブル 1111 及びデフォルト状態遷移テーブル 1112 より入力された次状態番号 1126, 1127 の中から何れか一方を選択して出力するよう動作する。

【0155】この動作において、何れの次状態番号（1126, 1127）を出力するかを判断する要素として、イベント発生判定回路 1211 から入力されたイベント一致信号 1114 を用いる。このイベント一致信号 1114 とは、例えば 1 ビットで構成された信号であり、イベント発生判定回路 1211 において入力されたイベント識別コード 1206 に対応するイベントが存在する場合に “1” として出力され、存在しない場合に “0” として出力される信号である。また、イベント識別コード 1206 にエンコードされているもの（図 15 では 3 ビットの信号）を用いる場合、イベント発生判定回路 1211 は、イベント識別コード 1206 が例えば “0” 若しくは “5” ~ “7” のいずれかの信号であった場合、イベント一致信号 1114 として “0” を出力し、“1” ~ “4” のいずれかであった場合、“1” を出力する。但し、この構成において、イベント識別コード 1206 として、“5” ~ “7” を発生させないように構成することも可能である。この場合、イベント識別コード 1206 が “0” のときにイベント無しを判定し、また、イベント識別コード 1206 が “1” ~ “4” のときにセレクト 1118 で次状態番号 1126 を選択するよう構成する。これにより、イベント発生判定回路 1211 が “5” ~ “7” に対する判定を行う必要がなくなる。これに対して、イベント識別コード 1206 にエンコードされていないもの（図 15 では、4 ビットの信号）を用いる場合、イベント発生判定回路 1211 は、イベント識別コード 1206 を構成する各ビットの何れかに “1” が格納されていた場合、イベント一致信号 1114 として “1” を出力するよう構成され、これ以外であれば “0” を出力するよう構成される。但し、例えば、イベント無しを示すためのイベント識別コード 1206 として、全てのビットが “0” である信号（“0000”）を用いる場合、イベント発生判定回路 1211 を、4 つの入力をもつ論理和回路（OR 回路）で構成することが可能である。これにより、イベント識別コード 1206 のいずれかに “1” が格納されていた場合、イベント発生判定回路 1211 は、“1” を出力するが、何れのビットにも “0” が格納されていた場合、

“0”を出力するよう構成することが可能である。

【0156】従って、セクタ1119は、イベント一致信号1114が“1”である場合、イベント識別コード1206に対応するイベントが存在すると判断して、イベント状態遷移テーブル1111から入力された次状態番号1126を選択して出力し、また、イベント一致信号1114が“0”である場合、イベント識別コード1206に対応するイベントが存在しないと判断して、デフォルト状態遷移テーブル1112から入力された次状態番号1127を選択して出力する。但し、デフォルト状態遷移テーブル1112の構成としては、上記図13で示した構成と同一のもので実施することが可能である。

【0157】更に、セクタ1119から出力された次状態番号（1126若しくは1127のいずれか）は、セクタ1120に輸入され、強制状態遷移テーブル1113から出力された次状態番号1128との何れか一方が出力されるよう構成されている。ここで、強制状態遷移テーブル1113は、他の構成から割り込みとして入力された強制イベント識別コード1216に対応するエントリを次状態番号1128としてセクタ1120へ出力する。

【0158】また、セクタ1120には、イベント発生判定回路1212から出力された強制イベント一致信号1115も入力されるよう構成されている。このイベント発生判定回路1212は、上記のイベント発生判定回路1211と同様な構成であり、入力されたイベント識別コード1216に対応するイベントが存在する場合に強制イベント一致信号1115を“1”として出力し、存在しない場合に“0”として出力する。また、強制イベント識別コード1216にエンコードされているもの（例えば2ビットの信号）を用いる場合、イベント発生判定回路1212は、強制イベント識別コード1216が“0”のときに、強制イベント一致信号1115を“0”として出力し、それ以外（例えば2ビットで構成した場合、“1”～“3”）の場合、“1”として出力する。また、強制イベント識別コード1216にエンコードされていないもの（例えば4ビットの信号）を用いるよう構成することも可能である。このように、エンコードされていない信号を使用した場合、複数の強制イベントが発生した場合も適用することが可能となる。つまり、同時に2つ以上のイベントの発生を表現することが可能である。また、このように2つのイベントが同時に発生した場合、以下に示すような幾通りかの方法で、処理を実行することが可能となる。これは、発生した2つ以上のイベントに対していずれかを優先させる方法と、発生したイベントの組み合わせに応じた処理を実行する方法と、等である。ここで、例えば2ビット幅の強制イベント識別コード1216を判別できる回路の場合、2ビットで表現される4値全てを判別できるような

強制状態遷移テーブル1113を作成する。即ち、強制状態遷移テーブル1113において、強制イベント識別コード1216が“0”であった場合、“なにも発生しない”を判定し、“1”であった場合、“イベントaが発生した”を判定し、“2”であった場合、“イベントbが発生した”を判定し、“3”であった場合、“イベントa及びbが発生した”を判定するよう構成する。ここで、“1”、“2”、“3”各々に対応した次状態番号1128は、強制状態遷移テーブル1113のエントリとして書き込まれる。これにより、強制イベント識別コード1216による割り込みに対応することが可能となる。このような構成のもと、前者として説明した、いずれかのイベントを優先させる方法を適用する場合には、イベントa若しくはイベントbのいずれか一方に対応した次状態番号1128を出力する。また、後者として説明した組み合わせに応じた処理を実行する方法を適用する場合には、イベントa、イベントbのいずれにも対応しない次状態番号1128を出力する。これは、強制イベント識別コード1216が“3”の場合に応じたエントリを新たに強制状態遷移テーブル1113に書き込むことで実現される。これにより、両イベントa及びbが発生したときに独自の処理を実行することが可能となる。また、上記した方法の他に、2ビットで構成した強制イベント識別コード1216自体に優先順位を設け、この優先順位に基づき次状態番号1128を決定する方法も可能である。例えばイベントaがイベントbより優先して判断されるよう構成した場合は、強制イベント識別コード1216が“0”であれば“なにも発生しない”が判定され、“1”であれば“イベントaが発生した”が判定され、“2”であれば“イベントbが発生した”が判定される。但し、イベントa及びbが発生した場合には、イベントaが優先されるため、イベントaが発生したとハードウェア的に判断されることとなる。即ち、この方法では、2つ以上のイベントが発生した場合に独自の処理を実行することができなくなる。このように強制イベント一致信号1115として“1”が出力されると、セクタ1120は強制状態遷移テーブル1113から入力された次状態番号1128を選択し、次状態番号205として出力するよう動作する。また、イベント発生判定回路1212において入力された強制イベント識別コード1216に対応する強制イベントが存在しない場合には、即ち、強制イベント一致信号1115が例えば“0”として出力された場合には、セクタ1120はセクタ1119から入力された次状態番号（1126若しくは1127のいずれか）を選択し、次状態番号205として出力するよう動作する。

【0159】また、上記構成において、イベント状態遷移テーブル1111からセクタ1118へ出力される次状態番号候補の数は、状態遷移先となる次状態番号1126の数の最多種類（以下、これを最大分岐数とい

10

20

30

40

50

う)として構成されるとしているが、最大分岐数が多岐にわたる場合、ハードウェアにかけるオーバーヘッド(所謂、面積及び遅延の増加)が大きくなるため、ある程度、次状態番号候補の数、及び状態遷移先となる次状態番号1126の種類を制限する必要がある。この問題を生じない構成が、図13に示す構成である。従って、実施にあたっては、用途に応じて使い分けことが望ましい。但し、本実施例において、状態遷移先の次状態番号1126を、次状態番号候補の数以上とすることも可能である。これは、ハードウェアにおける次状態番号1126の出力の種類の制限を、ソフトウェアにおいて仮想的に回避する方法である。この方法では、例えば、イベント識別コード1206による条件分岐をソフトウェアにより二段以上とすることで実現される。これは、図15に示す構成において、ソフトウェア的に二段階以上に条件分岐を行うことで実現される。例えば、現状態番号204が“01”の状態に対し、遷移先となる次状態番号205の候補が“10”～“17”の計8種類存在する場合、先ず、第1段階目の条件分岐として、“01”の現状態から“02”若しくは“03”の次状態に遷移し、次に、例えば“02”の現状態から“10”～“13”の次状態、若しくは“03”の現状態から“14”～“17”の次状態へ条件分岐する。これにより、イベント状態遷移テーブル1111の出力が4つしか存在しない場合でも、それ以上の8分岐が可能となる。但し、このように構成した場合、状態遷移時に、1段階で構成した場合よりも1段階余分な状態を経る必要がある。また、イベント識別コード1206は、状態番号との組み合わせで意味を持つため、異なる状態間でコードを重複させることが可能である。これは、どの瞬間においても有効である状態が1つであるため、入力されたイベント識別コード1206を、その有効な状態における値であると判断することができるためである。例えば、状態aと状態bとにおいて、イベント識別コード1206の共通な値xが別の意味(状態aの時に“甲”、状態bの時に“乙”の意味を持つとする)を持つことは可能である。その理由は、状態aと状態bとが同時に有効であることがあり得ない為、状態aの時に値xが入力されれば、(a, x)の組み合わせで値xの意味を“甲”と判断することができる。また、状態bの時に値xが入力された場合でも、(b, x)の組み合わせで値xを“乙”と判断することができる。即ち、値xのみで意味を持たせる必要はない。

【0160】〔状態遷移テーブルメモリの第3の実施例〕更に、以下に本発明による状態遷移テーブルメモリ202の第3の実施例を図面を用いて詳細に説明する。図16は、本発明の図13に示す状態遷移テーブルメモリ202の第1の実施例を変形して応用した第3の実施例のブロック図を示している。

【0161】図16を参照すると、本実施例による状態

遷移テーブルメモリ202は、イベント状態遷移テーブル1121、デフォルト状態遷移テーブル1122、強制状態遷移テーブル1123、イベント発生判定回路1221、1222及びセクタ1138、1139、1140を有して構成されており、図13に示した状態遷移テーブルメモリ202と同様に、書き込まれた状態遷移ルールに従って、ある演算状態から同一のまたは異なる演算状態への状態遷移を制御し、同一のまたは異なる演算状態を新たな演算状態とすることが可能なものである。この図面からも明らかなように、本実施例による状態遷移テーブルメモリ202は、図15に示す状態遷移テーブルメモリ202の第2の実施例と概ね同様な構成となっているが、相違点として、イベント状態遷移テーブル1121及びデフォルト状態遷移テーブル1122がそれぞれ現状態番号204に対応させて次状態番号1146若しくは1147を格納するだけでなく、同様に対応させて命令コードアドレス1346若しくは1347(図16中、“CA-(番号)”で記載されているものは、命令コードアドレスである)も格納するように構成され、また、強制状態遷移テーブル1123が強制イベント識別コード1236に対応させて次状態番号1148を格納するだけでなく、同様に対応させて命令コードアドレス1348も格納するように構成されており、且つ、イベント状態遷移テーブル1121、デフォルト状態遷移テーブル1122、及び強制状態遷移テーブル1123がそれぞれ次状態番号1146、1147、若しくは1148だけでなく、命令コードアドレス1346、1347、若しくは1348も出力するように構成され、さらに各セクタ1138、1139、及び1140それぞれが次状態番号1146、1147、若しくは1148の他に命令コードアドレス1346、1347、若しくは1348も出力するよう構成される。但し、セクタ1140の出力先は、次状態番号205と命令コードアドレス1505とを分離して、次状態番号205をシーケンサ部201(図5参照)へ、また、命令コードアドレス1505を演算制御バス103を介してデータバス部102(図5参照)へ、それぞれ出力するよう構成される。更に、イベント状態遷移テーブル1121、デフォルト状態遷移テーブル1122、強制状態遷移テーブル1123、各セクタ1138、1139は、その出力として、次状態番号1146、1147、若しくは1148と命令コードアドレス1346、1347、若しくは1348とをシリアルあるいはパラレルに出力するよう構成されるが、パラレルに出力するよう構成した場合、各々を同時に出力する構成に限定されるものではない。また、上記構成において、各次状態番号1146、1147、1148と対として出力される命令コードアドレス1346、1347、1348は、各々の対において必ずしも1つとは限らず、1つの次状態番号1146、1147、1148に対して複数

の命令コードアドレス 1346, 1347, 1348 が出力されるよう構成することも可能である。

【0162】この構成は、図 5 に示した状態遷移管理部 101 の構成に伴い要求された構成である。即ち、図 16 において、出力された次状態番号 205 は、図 5 におけるシーケンサ部 201 に入力され、また、同図 16 における演算制御バス 103 へは、命令コードアドレス 1505 がデータバス部 102 へ向けて出力される。

【0163】〔状態遷移テーブルメモリ 202 の第 4 の実施例〕続いて、実施形態における状態遷移テーブルメモリ 202 の第 4 の実施例について、図面を参照して説明する。図 17 は、本発明のアレイ型プロセッサ 1 の実施形態における状態遷移テーブルメモリ 202 の第 4 の実施例の概略ブロック図を示している。

【0164】同図において、状態遷移テーブルメモリ 202 は、通常状態遷移テーブル 1301、強制状態遷移テーブル 1103 及びセクタ 1110 とからなっている。ここで、イベント識別コード 206 に、対象となるイベントが発生しなかったことを示す NoEvent というコードを加えることにより、図 13 に示すデフォルト状態遷移テーブル 1102 の機能をイベント状態遷移テーブル 1101 に含ませて、通常状態遷移テーブル 1301 としている。

【0165】これにより、通常の状態遷移は、通常状態遷移テーブル 1301 によって、また、割り込み等の処理は、強制状態遷移テーブル 1103 によって処理される。そのためには、データバス部 102 等からのイベント 209 への入力信号を、NoEvent を含めて符号化する必要がある。この処理は、シーケンサ部 201 内でも実現できるし、データバス部 102 内部でも実現することができる。その他の構造は、図 13 に示す状態遷移テーブルメモリ 202 と同様としてある。

【0166】続いて、例えば、図 14 に示した状態遷移を実現させる動作について説明する。まず、現状態番号 204 が ST-01 の場合は、常に、次状態番号 1106 が ST-02 となる必要がある。そのため、現状態番号 204 が入力される場合には、イベント識別コード 206 として必ず NoEvent が入力されるようにする。これにより、通常状態遷移テーブル 1301 中の

「現状態番号 204 が ST-01、イベント識別コード 206 が NoEvent」のエントリに一致し、ST-02 が次状態番号 1106 として出力される。

【0167】そして、現状態番号 204 が ST-02 の場合は、イベント識別コード 206 として EV-10、EV-18、EV-21 のいずれかが入力した場合は通常状態遷移テーブル 1301 において図 13 に示すイベント状態遷移テーブル 1101 と同様の記述および動作をするが、これらのイベント識別コード 206 が入力されない場合には必ず NoEvent がイベント識別コード 206 として入力されるようにする。

【0168】これにより、図 13 ではデフォルト状態遷移テーブル 1102 で動作していたものが、図 17 では通常状態遷移テーブル 1301 において「現状態番号 204 が ST-02、イベント識別コード 206 が NoEvent」のエントリに一致し、ST-02 を次状態番号 1106 として出力する。また、強制状態遷移テーブル 1103 については図 13 と同様の動作をする。その他の動作および作用は、図 13 に示す状態遷移テーブルメモリ 202 と同様としてある。

【0169】〔状態遷移テーブルメモリ 202 の第 5 の実施例〕更に、上述した本発明による状態遷移テーブルメモリ 202 の第 2 の実施例と第 4 の実施例とを組み合わせた実施例について、以下に、状態遷移テーブルメモリ 202 の第 5 の実施例として図面を用いて詳細に説明する。図 18 は、本実施例による状態遷移テーブルメモリ 202 の構成を示すブロック図である。図 18 を参照すると、本実施例による状態遷移テーブルメモリ 202 は、イベント状態遷移テーブル 1131、強制状態遷移テーブル 1133、セクタ 1158、1159 及びイベント発生判定回路 1232 を有して構成されている。ここで、状態遷移テーブルメモリ 202 の第 4 の実施例と同様に、イベント識別コード 1246 に、対象となるイベントが発生しなかったことを示す NoEvent というコードを加える。また、本実施例は、例えばイベント状態遷移テーブル 1131 の出力を二つ以上（図 18 では、例として四つ）設け、この中で何れか一つ（例えば図 18 において最も下部に構成された信号線）を NoEvent の場合に対応した次状態番号 1166 を出力する信号線として固定し、NoEvent がセクタ 1158 に入力された場合に、セクタ 1158 において、必ず上記の NoEvent に対応した信号線から入力された次状態番号 1166 を選択して出力するよう構成する。これにより、デフォルト状態遷移テーブルを削除することが可能となる。

【0170】また、状態遷移テーブルメモリ 202 の第 4 の実施例と同様に、通常の状態遷移は、イベント状態遷移テーブル 1131 によって処理され、更に、割り込み等の処理は、強制状態遷移テーブル 1133 によって処理される。そのためには、本実施例においても、データバス部 102 等からのイベント 209 への入力信号を、NoEvent を含めて符号化する必要がある。この処理は、シーケンサ部 201 内でも実現できるし、データバス部 102 内部でも実現することができる。その他の構造は、図 15 に示す状態遷移テーブルメモリ 202 と同様である。

【0171】（制御情報メモリの構成）

〔制御情報メモリの第 1 の実施例〕次に、実施形態（図 2）における制御情報メモリ 203 の第 1 の実施例について、図面を参照して説明する。図 19 は、本発明のアレイ型プロセッサ 1 の実施形態における制御情報メモリ



203の第1の実施例の概略ブロック図を示している。同図において、状態遷移管理部101を構成する制御情報メモリ203は、複数の演算制御情報メモリ1402およびデコーダ1411とからなっている。

【0172】ここで、制御情報メモリ203は、状態番号1401の入力に応じて、一つ以上の演算制御情報メモリ1402が選択され、この選択された演算制御情報メモリ1402の中の情報が演算制御バス103を通じてデータパス部102に出力される構成としてある。このように、アレイ型プロセッサ1は、演算制御情報メモリ1402を有することにより、複数の演算制御バス103を効率良く制御できるので、結果的に、データパス部102の制御を効率良く行うことができる。即ち、状態遷移テーブルメモリ202が1状態につき複数のエントリ（あるいは複数個の次状態候補）を有しているため、出力ビット幅を狭くすることが状態遷移テーブルメモリ202の面積削減効果に大きく作用するが、演算制御バス103を介して出力される命令コードアドレスの自由度を向上させる（つまり、各プロセッサエレメント105毎や各プログラマブルスイッチエレメント106毎に命令コードアドレスを割り当てる）ためには、出力ビット幅を広くする必要がある。上記の制御情報メモリ203は、この相反する両者の要求を満足させるために設けられるものである。即ち、状態遷移テーブルメモリ202とデータパス部102との間に制御情報メモリ203を設け、イベント状態遷移テーブル1111の深さ（アドレス空間若しくはエントリ数）よりも制御情報メモリ203の深さ（アドレス空間）の方を浅くすることにより、状態遷移テーブルメモリ202に要求される面積の削減と、状態遷移先の自由度を向上させるために要求される命令コードアドレスの自由度の向上と、を両立させることが可能となる。この具体的な例を図15を用いて説明すると、図2における状態遷移テーブルメモリ202に図15に示す状態遷移テーブルメモリ202を構成した例では、1つの現状態番号204に対応し、イベント識別テーブル1111から4つの分岐先である次状態番号1126と、デフォルト状態遷移テーブル1112から1つの遷移先である次状態番号1127と、を出力するよう構成されており、更に、強制イベント識別コードに対応する次状態番号1128が強制状態遷移テーブル1113から出力されるよう構成されており、これらから、セクタ1118、セクタ1119、セクタ1120において1つが選択され、次状態番号205として出力される。この出力された次状態番号205は、シーケンサ部201において、現状態番号204に置き換えられ、制御情報メモリ203へ出力される構成となっている。制御情報メモリ203では、例えば図19を用いて説明すると、入力された状態番号1401に対応する演算制御情報メモリ1402を選択し、演算制御情報メモリ1402に記憶された命令コードアドレス

1505を演算制御バス103を介して、データパス部102に出力する構成となっている。これに対し、制御情報メモリ203が構成されていない場合、状態遷移テーブルメモリ202の出力に命令コードアドレス1505を有していなければならない。例えば、図5における状態遷移テーブル202に図16に示す状態遷移テーブル202を構成した例では、制御情報メモリ203を構成しておらず、イベント状態遷移テーブル1121と、デフォルト状態遷移テーブル1122と、強制状態遷移テーブル1123と、には、現状態番号204と次状態番号（1146、1147、1148）だけでなく、次状態番号（1146、1147、1148）に対応する命令コードアドレス（1346、1347、1348）のためのメモリも必要となる。このため、各テーブル（イベント状態遷移テーブル1121、デフォルト状態遷移テーブル1122、強制状態遷移テーブル1123）には、命令コードアドレス（1346、1347、1348）を格納するためのメモリ領域も要求される。即ち、イベント状態遷移テーブル1121に関してのみ比べても、例えば1つの現状態番号204に対して4組の次状態番号1146及び命令コードアドレス1346を出力するよう構成（図16に示す構成）した場合では、制御情報メモリ203を組み込んだ場合の約4倍のメモリが必要となり、また、デフォルト状態遷移テーブル1122、および、強制状態遷移テーブル1123にも命令コードアドレス（1347、1348）を有するため、命令コード用のメモリが制御情報メモリ203を設けた場合の約5倍、必要となる。更に、セクタ（1138、1139、1140）等のビット幅もこれに応じて広く構成する必要がある。図5の構成では、制御情報メモリ203を有していないために、図16に示されるように状態遷移テーブルメモリ202のメモリ数が増加し、ビット幅を広くする必要があるが、高速化には向いている。一方、図2に示す構成は、制御情報メモリ203を持たせることで、状態遷移テーブルメモリ202のメモリ領域が削減される。更に、この構成では、状態遷移テーブルメモリ202が次状態番号205だけを出力するため、ビット幅を狭く構成することが可能となる。但し、この構成では、一旦制御情報メモリ203を介するために速度は遅くなる。また、制御情報テーブルメモリ203が別に構成されていることに起因するメモリ効率の良さを利用して、命令コードアドレスの出力数を図16に示す状態遷移テーブルメモリ202から出力される数よりも増やすことにより、データパス部102の構成の高効率化を図ることが可能となる。即ち、この両者の構成は、命令コード配布数を増やす（自由度を上げる）ことを目的とする場合と、処理速度を上げることを目的とする場合と、で各々使い分けられるものである。但し、メモリの参照を状態遷移テーブル202と制御情報メモリ203との2回として構成することが遅延

的に問題を有する場合は、命令コードアドレス 1505 の自由度を削減し、イベント状態遷移テーブル 1121 と、デフォルト状態遷移テーブル 1122 と、強制状態遷移テーブル 1123 と、における出力ビット幅を削減することで、上記のような問題を回避することも可能である。なお、状態番号 1401 は、現状態番号 204 または次状態番号 205 を指している。

#### 【0173】（プロセッサエレメントの構成）

〔プロセッサエレメントの第 1 の実施例〕次に、実施形態（図 2）におけるプロセッサエレメント 105 の第 1 の実施例について、図面を参照して説明する。図 20 は、本発明のアレイ型プロセッサ 1 の実施形態におけるプロセッサエレメント 105 の第 1 の実施例の概略ブロック図を示している。同図において、プロセッサエレメント 105 は、複数の命令コードを記憶する命令コードメモリ 1501、命令コードを解読する命令デコーダ 1502、デコードされた命令コードを実行する演算部 1503 及び演算処理データを記録するレジスタ 1504 とで構成してある。

【0174】ここで、プロセッサエレメント 105 は、演算制御バス 103 を通して与えられる命令コードアドレス 1505 を入力すると、命令コードメモリ 1501 内に記憶されている命令コード 1508 が一つ選択されて出力され、この命令コード 1508 を入力した命令デコーダ 1502 が、命令コード 1508 を解釈し、この解釈により、演算部 1503 およびレジスタ部 1504 の動作が決定される。このように命令デコーダ 1502 の解釈により、演算部 1503 は、何れの入力信号を用いて何の演算を行い、何を何処へ出力するかを決定する。また、この構成により、レジスタ部 1504 を使用するか否かの動作も決定される。

【0175】このように、アレイ型プロセッサ 1 は、プロセッサエレメント 105 が、演算処理データを記録するレジスタ 1504 を有する構成としてあるので、演算部 1503 とレジスタ 1504 間の配線効率が改善されて、小型化されるとともに処理性能が向上する。

【0176】また、好ましくは、アレイ型プロセッサ 1 は、プロセッサエレメント 105 が、外部からの入力データ 1506 またはレジスタ 1504 に記録された演算処理データに対して、状態遷移管理部 101 からの制御に応じた演算処理を行ない、この演算処理結果を、外部に出力データ 1507 として出力するか、あるいは、前記レジスタに記録する構成とすると良く、これにより、演算処理を効率良く実行することができ、処理性能が向上する。

【0177】演算部 1503 は、入力データ 1506 またはレジスタ 1504 からのデータを入力として演算し、出力データ 1507 またはレジスタ 1504 へ結果を出力することを基本動作とする。また、必ずしも各プロセッサエレメント 105 内に、レジスタ 1504 が必

要なわけではない。さらにまた、複数のプロセッサエレメントにつき一つのレジスタを持つことや、複数のプロセッサエレメントを一つのグループとし、そのグループにレジスタを属させることも可能であり、また、演算制御バス 103 の入力から演算部 1503 およびレジスタ 1504 までのバス中にレジスタを設け、プロセッサエレメント 105 の動作変更、正確には、プロセッサエレメント 105 の動作開始（状態の実現若しくは構成の変更）を同期化することも可能である。これは、状態遷移管理部 101 から次状態番号 205 に応じた命令コードアドレスが届くよう構成されている場合に、次サイクルでこれを有効化するため必要があるために組み込まれた構成である。また、このように構成することにより、サイクルの開始と同期して各プロセッサエレメントの構成（状態）が切り替わり、その後、演算が一斉に開始されるようになる。

#### 【0178】〔プロセッサエレメントの第 2 の実施例〕

続いて、実施形態におけるプロセッサエレメント 105 の第 2 の実施例について、図面を参照して説明する。図 21 は、本発明のアレイ型プロセッサ 1 の実施形態におけるプロセッサエレメント 105 の第 2 の実施例の概略ブロック図を示している。

【0179】同図において、プロセッサエレメント 105 は、命令コードメモリ 1501、命令デコーダ 1602、演算部 1503、レジスタ 1504 及びプログラマブルスイッチ 1603、1604 とからなっており、命令デコーダ 1602 が、制御信号 1601 を入力する構成としてある。

【0180】命令デコーダ 1602 は、命令コード 1508 と制御信号 1601 との両方を使用して演算部 1503 とレジスタ 1504 とに制御信号を出力する。また、このレジスタ 1504 は、適宜、信号を演算部 1503 と受け渡す。この制御信号 1601 は、プロセッサエレメント 105 の出力やデータパス部 102 の外部から来る信号である。ここで、データパス部 102 の外部から来る信号としては、チップ外部（制御用プロセッサ）や状態遷移管理部 101 等が例に挙げられる。これは、例えば、状態遷移管理部 101 が複数のプロセッサエレメントに対して共通の命令コードアドレスを配布するが、制御信号 1601 は各プロセッサエレメント 105 に対して個別に配布するという方法が適用されるためである。これは、同じ命令コードアドレスを使用（使用命令コードアドレス空間の削減＝効率化）しながら、微妙な調整を制御信号 1601 により実現するためである。これにより、状態遷移管理部 101 から発行される命令コードアドレス 1505 のみでなく、データパス部 102 内部やアレイ型プロセッサ 1 の外部からの信号によりプロセッサエレメント 105 の動作を制御することも可能としている。例えば、演算部 1503 が 2 入力 1 出力のセクタを実現するということが命令コードアド



レスにより決定されている場合、セレクトアの選択線（制御）も命令コードに含ませる方法の他に、選択線をプロセッサエレメント 105 外部から入力させる方法も適用することが可能である。この構成については、レジスタ 1504 の書き込み制御やシフトの方向等に関しても同様である。このように構成することで、基本的な構成を命令コードアドレスにより決定し、また、一部を外部から制御することが可能となり、同一の命令コードアドレスでありながら、例えば条件等によって、一部の状態に変化を加える動作を実現することが可能となる。

【0181】したがって、例えば、他のプロセッサエレメント 105 の出力信号を当該のプロセッサエレメント 105 に入力させ、当該の演算器で実現しているセレクトアの選択信号を制御する、即ち、演算部 1503 でセレクトアを演算器として実現（この実現は命令コードにより行われる）している時に、その選択制御を当該のプロセッサエレメント 105 が行うのではなく、他のプロセッサエレメント 105 からの出力により行うことも可能となる。

【0182】また、プロセッサエレメント 105 は、演算部 1503 と入力データとの間に、プログラマブルスイッチ 1603 を、演算部 1503 と出力データ 1507 との間に、プログラマブルスイッチ 1604 を配置している。これにより、複数の入力データ 1506 のの中から使用するものを選択することや、複数の出力先である出力データ 1507 のの中から、出力先を選択することができる。

【0183】このようにすることにより、プロセッサエレメント 105 は、特に、図 10 に示したように、一つのプロセッサエレメント 105 が複数のプログラマブルスイッチエレメント 106 に接続されている場合や、図 11 に示したように、プロセッサエレメント同士がプログラマブルスイッチエレメント 106 を通さずに直接電氣的に接続されている場合に、処理性能を向上させることができる。なお、プログラマブルスイッチ 1603、1604 は、入力側及び出力側両方に設置することも可能であるし、どちらか一方だけに設置することも可能である。その他の構造および作用は、図 20 に示すプロセッサエレメント 105 と同様としてある。

【0184】（プログラマブルスイッチエレメントの構成）

〔プログラマブルスイッチエレメントの第 1 の実施例〕次に、実施形態（図 7）におけるプログラマブルスイッチエレメント 106 の第 1 の実施例について、図面を参照して説明する。図 22 は、本発明のアレイ型プロセッサ 1 の実施形態におけるプログラマブルスイッチエレメント 106 の第 1 の実施例の概略ブロック図を示している。同図において、プログラマブルスイッチエレメント 106 は、接続構成情報 1703 を複数セット記憶する接続構成情報メモリ 1701、接続スイッチ 1702 及

び接続線 1704 とからなっている。

【0185】ここで、接続構成情報 1703 は、図示していないが、プロセッサエレメント 105 及びプログラマブルスイッチエレメント 106 間、及び／又は、プログラマブルスイッチエレメント 106 相互間の接続構成を指示する情報であり、この接続構成情報 1703 に基づいて、接続スイッチ 1702 は、接続線 1704 間の電氣的接続を On/Off する機能を果たす。

【0186】プログラマブルスイッチエレメント 106 は、演算制御バス 103 を通して入力された命令コードアドレス 1505 によって、接続構成情報メモリ 1701 の中から、一つの接続構成情報 1703 を選択し出力する。そして、この接続構成情報 1703 は、各接続スイッチ 1702 の動作を決定し、結果的に、プロセッサエレメント 105 及びプログラマブルスイッチエレメント 106 間、及び／又は、プログラマブルスイッチエレメント 106 相互間の接続構成を指示する

【0187】ここで、接続スイッチ 1702 および接続線 1704 は、双方向に信号伝播を可能としても良いし単方向の信号伝播のみを可能としても良い。また、接続スイッチ 1702 および接続線 1704 毎に双方向と単方向を分けても良い。

【0188】プログラマブルスイッチエレメント 106 は、接続構成情報メモリ 1701 の出力をそのまま接続スイッチ 1702 の制御に使用しているが、接続構成情報メモリ 1701 と接続スイッチ 1702 の間にデコーダを設置することもできる。また、プログラマブルスイッチエレメント 106 は、排他的に接続が On される接続スイッチの接続構成情報メモリを共有化することなどにより、接続スイッチの数に対して接続構成情報メモリの量を減らすことができる。

【0189】さらにまた、プログラマブルスイッチエレメント 106 は、演算制御バス 103 の入力から接続スイッチ 1702 までのパス中にレジスタを設け、プログラマブルスイッチエレメント 106 の接続変更を同期化することができる。即ち、このように構成することにより、サイクルの開始と同期して各プロセッサエレメントの構成（状態）を切り替えるという接続関係の変更を同期化することが可能となる。

【0190】（データバス部の制御方法）

〔データバス部の制御方法の第 1 の実施例〕次に、実施形態における演算制御情報メモリ 1402 を用いたデータバス部 102 の制御方法について、図面を参照して説明する。図 23 は、本発明のアレイ型プロセッサ 1 の実施形態における演算制御情報メモリ 1402 を用いたデータバス部 102 の制御方法の第 1 の実施例の模式図を示している。

【0191】同図において、データバス部 102 は、演算制御情報メモリ 1402 を使用して、プロセッサエレメント 105 を制御する方法を示している。先ず、図 1

9に示すように、状態番号1401により選択された、制御情報メモリ203に含まれる演算制御情報メモリ1402が使用され、この演算制御情報メモリ1402は、その演算制御情報メモリ1402が制御するプロセッサエレメント105と同数の命令コードアドレスを記録する。

【0192】つまり、プロセッサエレメント105と命令コードアドレスが、一対一の対応をしている。具体的には、同図に示すように、Addr1はPE1、Addr2はPE2というように対応しており、各プロセッサエレメント105のアドレスを独立に制御することができる。なお、一つの演算制御情報メモリ203が制御するプロセッサエレメント105の配置は、図示した例に限られるものではないことは勿論である。つまり、本形態において、必ずしも横一列に配置されたプロセッサエレメント105を1つの演算制御情報メモリ1402が制御するよう構成する必要はなく、また、プロセッサエレメント105の順番（並び）も同様にこの構成に限定されるものではない。但し、プロセッサエレメント105をアレイ状に配列した場合、その各プロセッサエレメント105に個々の命令コードアドレスが供給されるとする構成が望ましい。

【0193】また、図示していないが、プログラマブルスイッチエレメント106に対しては、プロセッサエレメント105とは独立した同様の形式の演算制御情報メモリを持ち、プロセッサエレメント105と同様に制御することが可能である。

【0194】〔データバス部の制御方法の第2の実施例〕上述したデータバス部102の制御方法の第2の実施例としては、演算制御情報メモリ1402内にプロセッサエレメント105とプログラマブルスイッチエレメント106の両方の命令コードアドレスを持たせ、同一の演算制御情報メモリ1402によりプロセッサエレメント105とプログラマブルスイッチエレメント106の両方を制御することもできる。

【0195】この構成を説明するための模式図を図24に示す。図24を参照すると、本実施例では、演算制御情報メモリ1402において、プロセッサエレメント105に対する命令コードアドレスの他に、プログラマブルスイッチエレメント106への命令コードアドレスも格納するように構成される。この構成により、本実施例では、接続構成情報メモリを異なる構成として設ける必要がなくなり、回路規模の縮小を図ることができる。

【0196】〔データバス部の制御方法の第3の実施例〕さらに、データバス部の制御方法の第3の実施例としては、プロセッサエレメント105とプログラマブルスイッチエレメント106とで、同一演算制御情報メモリ1402内の同一アドレスを共有して使用し、プロセッサエレメント105とプログラマブルスイッチエレメント106とで共通の命令コードアドレスを使用するこ

ともできる。

【0197】なお、図23に示すデータバス部102の制御方法は、状態番号1401により選択された一つの演算制御情報メモリ1402に含まれる命令コードアドレス数と、その演算制御情報メモリ1402が担当するプロセッサエレメント105の数が等しいために、各プロセッサエレメント105の命令コードアドレス指定に関する柔軟性を得られるが、各命令コードアドレスを各プロセッサエレメント105へ個別に伝播させるために要求される演算制御バス103や、一つの演算制御情報メモリ1402の大きさといったリソース量が大きくなるといった問題がある。

【0198】〔データバス部の制御方法の第4の実施例〕続いて、この問題を解決した、実施形態における演算制御情報メモリ1402を用いたデータバス部102の制御方法の第4の実施例について、図面を参照して説明する。図25は、本発明のアレイ型プロセッサ1における演算制御情報メモリ1402を用いたデータバス部102の制御方法の第4の実施例におけるブロック図を示している。

【0199】本実施例は、演算制御情報メモリ1402内の一つのアドレスで複数のプロセッサエレメント105の命令コードアドレスを指定することを可能とする方法である。具体的には、Addr1によりPE1-1～PE1-mまでのm個のアドレス、Addr2によりPE2-1～PE2-mまでのm個のアドレスというように制御を行うことができるように構成してある。ただし、各プロセッサエレメント105に対して独立なアドレスを指定するという柔軟性は失われるが、要求するハードウェアリソース量が軽減される効果がある。

【0200】なお、一つの演算制御情報メモリ1402に含まれるアドレスの数は、一以上で構成可能である。また、一つのアドレスが制御するグループ1901に含まれるプロセッサエレメント105の数mは、全グループにおいて共通である必要はなく、mは一以上で構成可能である。

【0201】また、プログラマブルスイッチエレメント106も同様に制御することができる。

【0202】以下に、プログラマブルスイッチエレメント106も同様にグループ化して制御するよう構成した制御方法について、独立した実施例として図面を用いて詳細に説明する。

【0203】〔データバス部の制御方法の第5の実施例〕図26は、本発明によるアレイ型プロセッサ1の実施形態における演算制御情報メモリ1402を用いたデータバス部102の制御方法の第5の実施例の模式図である。ここで、本実施例は、演算制御情報メモリ1402内の一つのアドレスで複数のプロセッサエレメント105若しくはプログラマブルスイッチエレメント106の命令コードアドレスを指定することを可能とする方法

である。従って、本実施例では、プロセッサエレメント 105 に対するアドレスが図 25 で示したデータバス部の制御方法の第 4 の実施例と同様に構成されており、更に、本実施例独自の構成として、プログラマブルスイッチエレメント 106 をグループ化して、各々のグループ 1901 にアドレスが割り当てられるよう構成されており、一つのアドレスで複数のプログラマブルスイッチエレメント 106 の命令コードアドレスも指定することを可能としている。具体的には、 $Addr1$  により  $PSEs1-1 \sim PSEs1-j$  までの  $j$  個のアドレス、 $Addr2$  により  $PSEs2-1 \sim PSEs2-j$  までの  $j$  個のアドレスというように制御を行うことができるように構成してある。この構成も、データバス部の制御方法の第 4 の実施例における各プロセッサエレメント 105 に対する構成と同様に、各プログラマブルスイッチエレメント 106 に対して独立なアドレスを指定するという柔軟性は失われるが、要求するハードウェアリソース量が軽減される効果がある。

【0204】なお、一つの演算制御情報メモリ 1402 に含まれるアドレスの数  $n$  及び  $sk$  は、各々一以上で構成可能である。また、一つのアドレスが制御するグループ 1901 に含まれるプロセッサエレメント 105 の数  $m$ 、若しくはプログラマブルスイッチエレメント 106 の数  $j$  は、全グループ 1901 において共通である必要はなく、各々一以上で構成可能である。

【0205】〔データバス部の制御方法の第 6 の実施例〕更に、データバス部の第 5 の実施例による演算制御情報メモリ 1402 の制御方法は、図 27 に示すようにも変形可能である。図 27 に示す制御方法を、以下、データバス部の制御方法の第 6 の実施例として詳細に説明する。

【0206】図 27 を参照すると、実施例による制御方法では、演算制御情報メモリ 1402 における一つのアドレスにより、複数のプロセッサエレメント 105 及び複数のプログラマブルスイッチエレメント 106 の命令コードアドレスを指定することが可能なよう構成されている。具体的には、 $Addr1$  により  $PE1-1 \sim PE1-m$ 、及び  $PSE1-1 \sim PSE1-k$  までの合計  $(m+k)$  個のアドレスを指定する制御を行うことが可能なように構成されている。この構成では、データバス部の制御方法の第 4 の実施例における各プロセッサエレメント 105 に対する構成と同様に、各プロセッサエレメント 105 及び各プログラマブルスイッチエレメント 106 に対して独立なアドレスを指定するという柔軟性が失われるが、上述のデータバス部の制御方法の第 4 及び第 5 の実施例よりも、要求するハードウェアリソース量が軽減されるという効果が得られる。

【0207】なお、一つの演算制御情報メモリ 1402 に含まれるアドレスの数は、一以上で構成可能である。また、一つのアドレスが制御するグループ 1902 に含

まれるプロセッサエレメント 105 の数  $m$ 、若しくはプログラマブルスイッチエレメント 106 の数  $k$  は、全グループ 1902 において共通である必要はなく、いずれかが一以上で構成可能である。

【0208】〔データバス部の制御方法の第 7 の実施例〕続いて、実施形態における演算制御情報メモリ 1402 を用いたデータバス部 102 の制御方法の第 7 の実施例について、図面を参照して説明する。図 28 は、本発明のレイ型プロセッサ 1 における演算制御情報メモリ 1402 を用いたデータバス部 102 の制御方法の第 7 の実施例におけるブロック図を示している。

【0209】同図において、状態番号 1401 により選択された演算制御情報メモリ 1402 に含まれる各アドレス値は、演算制御バス 2003 にそれぞれ出力されており、当該の演算制御情報メモリ 1402 によって制御されるプロセッサエレメント 105 は、演算制御バス 2003 の中からセクタ 2001 を用いて一つのバスを選択し、そのバスから送られてくるアドレスを命令コードアドレスとして使用する。

【0210】したがって、例えば、プロセッサエレメント 105 である  $PE2$  が演算制御バス  $a$  を選択している場合は、演算制御情報メモリ 1402 の  $Addr1$  の値が演算制御バス  $a$  を通り  $PE2$  の命令コードアドレスとして使用される。このように、各プロセッサエレメント 105 が任意の演算制御バス 2003 を選択できるようにすれば、一つの演算制御情報メモリ 1402 に接続されたプロセッサエレメント 105 を演算制御バス 2003 の数以下にグループ化でき、各グループごとに異なった命令コードアドレスを使用することができる。

【0211】また、上記の各プロセッサエレメント 105 のグループ化は、図 28 に示すメモリ 2002 で制御される。このメモリ 2002 は、例えば図 20 に示すプロセッサエレメント 105 における命令コードメモリ 1501 と命令デコーダ 1502 とで構成されるものである。即ち、本実施例によるデータバス部 102 の制御方法では、図 28 に示す演算制御バス 2003 の選択に、命令デコーダ 1502 でデコードされた命令コードが使用される。この構成は、以下における説明において同様の形態で実施されるものである。

【0212】また、各プロセッサエレメント 105 が選択できる演算制御バス 2003 を制限する方法や、いくつかのプロセッサエレメント 105 でセクタ 2001 を共有し、回路量を削減することも可能である。ただし、その際は、グループ化に制限を受けることになる。

【0213】このように、データバス部の制御方法の第 7 の実施例によれば、図 23 に示すように、一つ以上のプロセッサエレメント 105 と同数の演算制御バスを必要とすることもなく、また、図 25 に示すように、一つのアドレスで制御されるプロセッサエレメント 105 が予め固定されるといった状態を回避することができる。

すなわち、命令コードアドレスを伝播させるために必要とするリソース量の削減と、プロセッサエレメント 105 のグループ化の自由度といった両者のメリットを得ることが可能となる。

【0214】また、セレクト 2001 がどのバスを選択するかという情報は、固定情報としてメモリ 2002 に保存しておく方法もあるし、各プロセッサエレメント 105 の状態に応じて動的に変更する方法もある。例えば、各プロセッサエレメント毎に、現在の命令コードアドレスにより、次の演算制御バス 2003 を決定する方法がある。

【0215】〔データバス部の制御方法の第 8 の実施例〕更に、上述したデータバス部の制御方法の第 7 の実施例をプロセッサエレメント 105 だけでなく、プログラマブルスイッチエレメント 106 にも適用した形態について、データバス部の制御方法の第 8 の実施例として以下に図面を用いて詳細に説明する。図 29 は、本実施例によるデータバス部 102 の制御方法のブロック図である。

【0216】同図において、状態番号 1401 により選択された演算制御情報メモリ 1402 に含まれる各アドレス値は、演算制御バス 2013 にそれぞれ出力されており、当該の演算制御情報メモリ 1402 によって制御されるプロセッサエレメント 105 及びプログラマブルスイッチエレメント 106 は、演算制御バス 2013 の中からセレクト 2011 を用いて一つのバスを選択し、そのバスから送られてくるアドレスを命令コードアドレスとして使用する。

【0217】したがって、例えば、プログラマブルスイッチエレメント 106 である PSE1 が演算制御バス a を選択している場合は、演算制御情報メモリ 1402 の Addr1 の値が演算制御バス a を通り PSE1 の命令コードアドレスとして使用される。このように、各プロセッサエレメント 105 及び各プログラマブルスイッチエレメント 106 が任意の演算制御バス 2013 を選択できるようにし、且つ、共に共通の命令コードアドレスを使用するよう構成すれば、一つの演算制御情報メモリ 1402 に接続されたプロセッサエレメント 105 及びプログラマブルスイッチエレメント 106 を演算制御バス 2013 の数以下にグループ化でき、各グループごとに異なった命令コードアドレスを使用することができ

る。

【0218】また、各プロセッサエレメント 105 及び各プログラマブルスイッチエレメント 106 が選択できる演算制御バス 2013 を制限する方法や、いくつかのプロセッサエレメント 105 若しくはいくつかのプログラマブルスイッチエレメント 106、更には、いくつかのプロセッサエレメント 105 及びいくつかのプログラマブルスイッチエレメント 106 でセレクト 2011 を共有し、回路量を削減することも可能である。ただし、

その際は、グループ化に制限を受けることになる。

【0219】このように、データバス部 102 の制御方法の第 8 の実施例によれば、データバス部の制御方法の第 7 の実施例で得られた効果を更にプログラマブルスイッチエレメント 106 を含めて奏するよう構成することが可能となる。すなわち、命令コードアドレスを伝播させるために必要とするリソース量の削減と、プロセッサエレメント 105 及びプログラマブルスイッチエレメント 106 のグループ化の自由度といった両者のメリットを得ることが可能となる。

【0220】また、セレクト 2011 がどの演算制御バス 2013 を選択するかという情報は、データバス部の制御方法の第 7 の実施例と同様に、固定情報としてメモリ 2012 に保存しておく方法もあるし、各プロセッサエレメント 105 および各プログラマブルスイッチエレメント 106 の状態に応じて動的に変更する方法もある。例えば、各プロセッサエレメント毎および各プログラマブルスイッチエレメント 106 毎に、現在の命令コードアドレスにより、次の演算制御バス 2013 を決定する方法である。

【0221】〔データバス部の制御方法の第 9 の実施例〕また、上述したデータバス部の制御方法の第 8 の実施例の他の構成をデータバス部の制御方法の第 9 の実施例として図面を用いて詳細に説明する。図 30 は、本実施例によるデータバス部 102 の制御方法のブロック図である。

【0222】図 30 を参照すると、本実施例は、プロセッサエレメント 105 への命令コードアドレスを伝播させる演算制御バス 2023 だけでなく、プログラマブルスイッチエレメント 106 への命令コードアドレスを伝播させるための演算制御バス 2023 も構成されている。更に、本実施例による演算制御情報メモリ 1402 は、プロセッサエレメント 105 へのアドレスに対する命令コードアドレスだけでなく、プログラマブルスイッチエレメント 106 へのアドレスに対する命令コードアドレスも格納するよう構成されている。

【0223】即ち、同図において、状態番号 1401 により選択された演算制御情報メモリ 1402 に含まれる各アドレス値は、演算制御バス 2023 にそれぞれ出力されており、当該の演算制御情報メモリ 1402 によって制御されるプロセッサエレメント 105 若しくはプログラマブルスイッチエレメント 106 は、演算制御バス 2023 の中からセレクト 2021 を用いて一つの演算制御バス 2023 を選択し、その演算制御バス 2023 から送られてくるアドレスを命令コードアドレスとして使用する。

【0224】したがって、例えば、プログラマブルスイッチエレメント 106 である PSE1 が演算制御バス a' を選択している場合は、演算制御情報メモリ 1402 の Addr s1 の値が演算制御バス a' を通り PSE

1の命令コードアドレスとして使用される。このように、各プロセッサエレメント105若しくは各プログラマブルスイッチエレメント106が任意の演算制御バス2023を選択できるように構成すれば、一つの演算制御情報メモリ1402に接続されたプロセッサエレメント105を演算制御バス2023の数以下にグループ化できるだけでなく、同一の演算制御情報メモリ1402に接続されたプログラマブルスイッチエレメント106を合わせて、演算制御バス2023の数以下にグループ化することができ、また、各グループごとに異なった命令コードアドレスを使用することができる。

【0225】また、各プロセッサエレメント105若しくは各プログラマブルスイッチエレメント106が選択できる演算制御バス2023を制限する方法や、いくつかのプロセッサエレメント105若しくはいくつかのプログラマブルスイッチエレメント106でセクタ2021を共有し、回路量を削減することも可能である。ただし、その際は、グループ化に制限を受けることになる。

【0226】このように、データベース部102の制御方法の第9の実施例によれば、データベース部の制御方法の第7の実施例で得られた効果を更にプログラマブルスイッチエレメント106を含めて奏するよう構成することが可能となる。すなわち、命令コードアドレスを伝播させるために必要とするリソース量の削減と、プロセッサエレメント105及びプログラマブルスイッチエレメント106のグループ化の自由度といった両者のメリットを得ることが可能となる。

【0227】また、セクタ2021がどの演算制御バス2023を選択するかという情報は、データベース部の制御方法の第7の実施例と同様に、固定情報としてメモリ2022に保存しておく方法もあるし、各プロセッサエレメント105の状態に応じて動的に変更する方法もある。例えば、各プロセッサエレメント105毎に、現在の命令コードアドレスにより、次の演算制御バス2023を決定する方法である。

【0228】〔データベース部の制御方法の第10の実施例〕次に、実施形態における演算制御情報メモリ1402を用いたデータベース部102の制御方法の第10の実施例について、図面を参照して説明する。図31は、本発明のレイ型プロセッサ1における演算制御情報メモリ1402を用いたデータベース部102の制御方法の第10の実施例におけるブロック図を示している。

【0229】同図において、データベース部102は、プロセッサエレメント105をレイ状に配置し、縦方向に対し演算制御バス(2033-V1, 2033-V2, ...)を通し、また、横方向に対し演算制御バス(2033-H1, 2033-H2, ...)を通し、その縦横各々に演算制御情報メモリ(1402-V1, 1402-V2, ..., 1402-H1, 1402-H2, ...)が

接続されている。このようにすることにより、各プロセッサエレメント105は、近傍を通る演算制御バス2033の中から一つを選択し、命令コードアドレスを得ることができる。即ち、図31におけるプロセッサエレメントPE1-1に注目して説明すると、これに接続されたセクタ2001は、メモリ2002からのデコードされた命令コードにより演算制御バス2033-V1に含まれる命令アドレスバス(V1-1, V1-2, ..., V1-m)若しくは2033-H1に含まれる命令コードアドレス(H1-1, H1-2, ..., H1-n)の中から何れか一つを選択し、これをプロセッサエレメントPE1-1へ入力する。

【0230】また、図31に示す構成の、グループ化の最大分割数は(m+n)よりも遥かに大きい、自由な形と位置が保障されるのは(m+n)個である。これにより、プロセッサエレメント105の領域分割方法が、演算制御バス103の数の範囲内で、縦横方向自由に決定することができる。即ち、図31に示す本実施例では、データベース部102を(m+n)個の自由な領域に分割することが可能である。これは、各プロセッサエレメント105に対して、(m+n)本の命令アドレスバス(図31におけるPE1-1に注目すれば、V1-1, ..., V1-m, H1-1, ..., H1-nの本数)が入力されており、これを各プロセッサエレメント105が自由に選択できるためである。これにより、全プロセッサエレメント105を(m+n)個のグループに分割することが可能である。このようにグループに分割した場合、各グループ毎にプロセッサエレメント105の命令コードアドレスを変える(個別に値を決定し、入力する)ことが可能となる。これは例えば、グループ1のアドレスは固定したまま、グループ5のアドレスを変える等の動作である。例えば、図23、若しくは図24に示す方法により、グループ分けの全自由度を持たせるためには、全プロセッサエレメント105に個別のアドレスを入力する必要があるが、これを実現するためには、膨大なハードウェア量が要求される。更に、実際の方法では、全自由度を実現する必要がなく、ある程度、自由度を落として構成することが好ましい。また、例えば、図29に示す構成では、各列毎のグループ化の自由度は高いが、上下方向にグループ分けをする場合に大きな制限を受ける。そこで、本実施例では、縦方向及び横方向に命令アドレスバス(演算制御バス2033-V1, 2033-V2, ..., 2033-H1, 2033-H2, ...としてもよい)を通すことにより、縦方向及び横方向において自由にグループ分けを行うことを可能にしている。但し、生成されるグループは、塊とされていなくてもよく、例えば市松模様のように分割することも可能である。また、図31に示す構成でも、グループ化における最大分割数は非常に大きい、自由な形(プロセッサエレメント105の位置及び数を自由に選択することが

可能であるという意味)でグループ化が可能である理由は、 $(m+n)$  が保証されていることに起因する。但し、同じ  $(m+n)$  を保証する場合、各列毎に  $(m+n)$  本の命令アドレスバスを通すよりも、図 31 に示すように、縦横に通した方が自由度があると考えられる。これは、例えばデータバス部 102 において横方向にデータの流れる場合、パイプラインを切るためには、縦方向に分割する必要があるが、ビット幅方向に分割する(複数のデータバスを実現する)ためには、横方向に分割する必要がある。図 31 に示す構成は、この両者を効率的に実現するための構成である。

【0231】〔データバス部の制御方法の第 11 の実施例〕次に、実施形態における演算制御情報メモリ 1402 を用いたデータバス部 102 の制御方法の第 11 の実施例について、図面を参照して説明する。図 32 の

(a) は、本発明のアレイ型プロセッサ 1 における演算制御情報メモリ 1402 を用いたデータバス部 102 の制御方法の第 11 の実施例におけるブロック図を示している。また、図 32 の (b) は、同実施例の動作を実現する回路の例を示すブロック図である。

【0232】図 32 の (a) において、データバス部 102 は、演算制御情報メモリ 1402 内に命令コードメモリ部 2201 とマスク部 2202 を持つことを特徴とする。このようにすることにより、当該の演算制御情報メモリ 1402 が制御するプロセッサエレメント 105 のうち、一部のみのアドレス変更を可能とする。つまり、図 32 の (a) におけるマスク部 2202 とは、演算制御情報メモリ 1402 に含まれる各命令コードアドレスを有効値として出力するか否かの情報を格納するものである。マスク部 2202 に含まれる各マスク 2203, 2204, ..., 2205 は、各々対応する命令コードアドレスを有効値とするか否かの情報を格納するために 1 ビットにより構成される。即ち、図 32 の (a) のマスク部 2202 においては、マスクに “1” が格納されている場合は、対応する命令コードアドレスを有効値として出力させ、“0” が格納されている場合は、無効値として出力する。但し、無効値として出力された場合、例えば各プロセッサエレメント 105 が前状態の命令コードアドレスを保持しておき使用するよう動作し、また演算制御情報メモリ 1402 が前状態の命令コード

アドレスを出力する等の動作するものとする。また、上記の各マスクは、必ずしも 1 ビットで構成されるものではない。即ち、各マスクが対応する命令コードアドレスを有効値とするか無効値とするかの情報のみを格納する場合は、各マスクは 1 ビットで構成されるが、この他の情報を持たせるために多ビットにより構成することも可能である。また、各マスク 2203, 2204, ..., 2205 を 1 ビットで構成した場合、マスク部 2202 のビット幅は、命令コードアドレスの数と同数となる。

【0233】具体的に説明すると、例えば、マスク部 2

202 の値が “1” であるアドレスを有効、“0” であるアドレスを無効とすると、図 32 の (a) ではマスク部 2202 中の 2203, 2204 が “1” であるから、それぞれに対応する  $Addr1$  と  $Addr2$  が有効となり、 $PE1$  と  $PE2$  とへ命令コードアドレスが送られる。しかし、マスク部 2202 中の 2205 は値が “0” であるため、それに対応する  $Addrn$  は無効となり、 $PEn$  へは  $Addrn$  が送られない。

【0234】この場合、 $PEn$  は直前と同じ命令コードアドレスを使用するように構成することで対応できる。これにより、例えば  $PE1$  と  $PE2$  のみのアドレスを変えたい場合、その部分のマスクのみが有効であるエントリを一つ作れば、前の状態における他のプロセッサエレメント 105 のアドレスによらず、 $PE1$  と  $PE2$  のみのアドレスを変更することができる。

【0235】この機構が無いと、例えば  $PEn$  のアドレスが “0” の場合にも “1” の場合にも、 $PE1$  と  $PE2$  のアドレスを “0” から “1” に変えたい場合に、 $PE1$  と  $PE2$  のアドレスが “0” で  $PEn$  のアドレスが “0” という演算制御情報メモリ 1402 のエントリと、 $PE1$ 、 $PE2$ 、 $PEn$  のアドレスが “1” というエントリの二つが必要となる。より詳細に説明するために、 $PEn$  の値に依らず、状態遷移によって  $PE1$  の命令コードアドレスを “0” から “1” に変更する場合を例に挙げて説明する。但し、この例において、 $PEn$  の命令コードアドレスは状態遷移によって変化しないものとする。上記の場合、マスク部 2202 により各命令コードアドレスにマスクをかけることができないと、 $PEn$  の命令コードアドレスが “0” であったときに  $PE1$  の命令コードアドレスを “1” に変えるという演算制御情報メモリ 1402 のエントリ (構成) と、 $PEn$  の命令コードアドレスが “1” であったときに  $PE1$  の命令コードアドレスを “1” に変えるという演算制御情報メモリ 1402 のエントリ (構成) と、が必要となる。即ち、命令コードアドレス部 2201 に格納される命令コードアドレスとして、“1, ..., 0” と “1, ..., 1” との 2 通りのエントリが必要となる。これは、全てのプロセッサエレメント 105 へ必ず命令コードアドレスを送信する必要があるため、このように状態に適用したエントリ (構成) を設けておかなければ  $PEn$  の状態が変化してしまうためである。従って、 $PEn$  のアドレスが “0” であった場合、前者のエントリを使用して  $PE1$  のアドレスを “1” に変更し、且つ、 $PEn$  のアドレスを “0” に保持する。また、 $PEn$  のアドレスが “1” であった場合、後者のエントリを使用して  $PE1$  のアドレスを “1” に変更し、且つ  $PEn$  のアドレスを “1” に保持する。これに対し、マスク部 2202 を設けた場合、 $PE1$  のアドレスを “1” にするという演算制御情報メモリ 1402 のエントリ (構成) のみでこれに対応することが可能となる。即ち、エントリとして “1,



…、—” (“—”は、アドレスを出力しないという意味)の1つがあれば、PE1のアドレスが“1”に変化するが、PENのアドレスが変化しないという遷移が可能となる。更に、この構成は、変化しないプロセッサエレメント105が複数ある場合に対して、より有効な手段となる。

【0236】このように部分的なプロセッサエレメント105のアドレスの変更を可能とすることにより、演算制御情報メモリ1402のエントリ数を大きく削減することが可能となる。また、このような動作は、単純に演算制御情報メモリ1402の命令コードメモリ部2201にマスクをかけ、各々、対応するマスク値が“0”

(対応するアドレスを有効値としない)のときは、これに対応するアドレスを出力せず、また、対応するマスク値が“1”のときは、これに対応するアドレスをそのまま出力することで実現される。また、同様な動作を、例えば論理積回路を用いることにより実現することも可能である。この構成例を図32の(b)に示す。図32の(b)を参照すると、本構成例は、演算制御情報メモリ1402におけるアドレス(例えば(a)におけるAddr1)の出力部にセクタ2206を設け、このセクタ2206の出力(これを例としてAddr1'とする)は、データバス部102に送られる他に、分岐され、レジスタ2207を介して同セクタ2206の入力に帰還されている。更に、セクタ2206には、演算制御情報メモリ1402におけるマスク部2202から出力された値(例えばマスク2203)が入力され、この値(マスク2203)を基に出力する値(Addr1若しくはAddr1')が選択される。但し、レジスタ2207は、例えばフリップフロップ等で構成されるものであり、前回の出力値(アドレス)を保持する。即ち、図32の(a)におけるAddr1に着目して説明すると、セクタ2206に入力されているマスク2203が、本例では、“1”(Addr1を有効値とする)であるため、セクタ2206はAddr1を選択して出力する。これに対して、例えばマスク2203が“0”(Addr1を有効値としない)である場合、セクタ2206は、レジスタ2207において保持されている値(前サイクルの値)を選択して出力する。但し、本発明によるマスク部を用いたデータバス部の制御方法は、上記第11の実施例による構成に限定されるものではなく、マスクをかけることにより状況に応じてアドレスの配布を行うという本発明の主旨を逸脱しない限り、種々変形して実施することが可能である。

【0237】〔データバス部の制御方法の第12の実施例〕次に、上記したデータバス部の制御方法の第11の実施例を、プロセッサエレメント105だけでなく、プログラマブルスイッチエレメント106に対しても適用した場合について、以下にデータバス部の制御方法の第12の実施例として図面を用いて詳細に説明する。図3

3は、本実施例によるデータバス部102の制御方法のブロック図である。

【0238】同図において、データバス部102は、演算制御情報メモリ1402内に命令コードメモリ部2211とマスク部2212とを持つことを特徴とする。このようにすることにより、当該の演算制御情報メモリ1402が制御するプロセッサエレメント105のうち、一部のみのアドレス変更を可能とする。

【0239】例えば、マスク部2212の値が“1”であるアドレスを有効、“0”であるアドレスを無効とすると、図33ではマスク部2212中の2213、2214、2223、2224が“1”であるから、それぞれに対応するAddr1、Addr2、Addr3、Addr4が有効となり、PE1、PE2、PSEs1及びPSEs2へ命令コードアドレスが送られる。しかし、マスク部2212中の2215及び2225は値が“0”であるため、それに対応するAddrn及びAddrskは無効となり、PENへはAddrnが、PSEskにはAddrskが送られない。

【0240】この場合、命令コードアドレスが送信されないPEN及びPSEskは直前と同じ命令コードアドレスを使用するように構成することで対応できる。これにより、例えばPE1とPSEs1のみのアドレスを変えたい場合、その部分のマスクのみが有効であるエントリを一つ作れば、前の状態における他のプロセッサエレメントのアドレスによらず、PE1とPSEs1のみのアドレスを変更することができる。

【0241】この機構が無いと、例えばPEN若しくはPSEkのアドレスが“0”の場合にも“1”の場合にも、あるPEのアドレスのみを“0”から“1”に変えたい場合には、PEN若しくはPSEkの現在のアドレスの有り得るパターン全てに対応して変更対象のPEのアドレスを“0”から“1”にするエントリを設ける必要がある。これは、データバス部102の制御方法の第11の実施例における図32の(a)及び(b)の説明と同等の理由である。

【0242】このように部分的なプロセッサエレメント105及びプログラマブルスイッチエレメント106のアドレスの変更を可能とすることにより、演算制御情報メモリ1402のエントリ数を大きく削減することが可能となる。

【0243】＜命令コードアドレスを発行するタイミング＞また、本発明のアレイ型プロセッサ1において、状態遷移テーブルメモリ202が命令コードアドレスを発行するタイミングについて、以下に幾つかの実施例を用いて詳細に説明する。ここで、本説明及び各実施例を説明するにあたり、本発明による状態遷移テーブルメモリ202の第3の実施例を引用して説明することとする。但し、以下の説明では、説明の簡略化のために、強制状態遷移テーブル1113の構成を省くものとする。

【0244】 先ず、状態遷移の基本的な流れを説明すると、本動作は、“現状態番号204”と“イベント209入力”により“次状態番号205”を求め、この“次状態番号205”を新たな（状態遷移先の）“現状態番号204”とするものである。ここで、回路動作を同期式とする場合、状態遷移、即ち、次状態番号205を現状態番号204とするタイミングを、図3におけるシーケンサ部201に入力されたクロック（例えばクロック207の立ち上がり。以下、このクロック207に同期させる場合を例に挙げる。）に合わせることで実現できる。また、イベント209（図3参照）は、状態遷移テーブルメモリ202において次状態番号205を特定するために必要となるため、状態遷移のタイミング、即ち、次状態番号205を現状態番号204とする以前にシーケンサ部201に入力されている必要がある。

【0245】〔命令コードアドレスを発行するタイミングの第1の実施例〕この状態遷移テーブルメモリ202が命令コードアドレスを発行するタイミングを図34に示す第1の実施例を用いて詳細に説明する。ここで、本実施例を説明するにあたり、上記と同様に、本発明による状態遷移テーブルメモリ202の第2の実施例を引用し、図34の（a）に示す状態遷移テーブルメモリ202の構成と（b）に示す状態遷移タイミングチャート図とを用いて説明することとする。但し、強制状態遷移テーブル1113の構成は説明の簡略化のために省する。

【0246】図34の（b）を説明するにあたり、クロックの立ち上がりに同期した回路を構成したとする。また、図34の（b）において、“T1”、“T2”を、それぞれ連続した任意のクロックの立ち上がりタイミングとし、各々のタイミングの間隔をサイクルと呼ぶ（例えばタイミング“T1”から“T2”の直前までの期間をサイクルC1と呼ぶ：以下、各実施例において同様である）。このことを踏まえて図34の（b）を参照すると、本実施例では、イベント209がサイクルC1（但し、タイミング“T2”に対して、ある程度の余裕をもつ直前であることが好ましい。この点も、以下の各実施形態において同様である。）の期間に入力される。但し、状態が切り替わるのはクロックの立ち上がりと同時に（同期）である。これにより、本実施例では、効率的な（遅延のない）状態遷移が実現されている。これは、サイクルC1、即ち、タイミング“T2”の直前までの段階において、現状態番号204と入力されたイベント209との組み合わせを基に次状態番号205を特定し、タイミング“T2”となると同時に、この特定した次状態番号205を現状態番号204とすることに起因している。即ち、ある状態のサイクルにおいてイベントが入力されると、この入力されたイベントを同サイクル内で解釈し、次のサイクルの最初に遷移すべき状態へ移行することが可能となる。また、次のサイクルの最初に遷移すべき状態へ移行することが可能となるのは、次状態番

号205を現状態番号204とする（状態遷移する）タイミングを図3におけるシーケンサ部201に入力されたクロック（例えばクロック207の立ち上がり）に合わせているためである。但し、“T1”のタイミングより前にイベント209をシーケンサ部201に入力し、このイベント209をシーケンサ部201においてレジスタ等で保持しておくという構成も可能であり、この構成から得られる効果も、上記のものと同様なものとなる。

【0247】この状態遷移の過程を示す図34の（b）の状態遷移タイミングチャート図について、図34の（a）の状態遷移テーブルメモリ202の構成図を用いて、より詳細に説明する。図34の（a）を参照すると、図34の（b）の状態遷移タイミングチャート図におけるサイクルC1では状態は（1）である。この状態において、サイクルC1の期間に、現状態番号204（状態（1））がイベント状態遷移テーブル1111とデフォルト状態遷移テーブル1112との両方に入力され、この入力に対し、イベント状態遷移テーブル1111が、例えば4つの次状態番号1126（図34の（b）では状態（3）と状態（4）との2つの次状態番号1126）を出力し、また、デフォルト状態遷移テーブル1112が、1つの次状態番号1127（図34の（b）では状態（2）の1つの次状態番号1127）を出力する。

【0248】ここで、同じくサイクルC1の期間にイベント識別コード1206がシーケンサ部201（図3参照）からセレクト1118及びイベント発生判定回路1211に入力される。従って、イベントが発生している場合（例えば、図15の説明において、hotとして構成されたイベント識別コード1206におけるビットのいずれかに“1”が格納されている場合）、セレクト1118では、入力された次状態番号1126（状態（3）及び状態（4））の中からこれに対応する次状態番号1126（状態（3）又は状態（4））がセレクト1119へ出力される。また、サイクルC1の期間にイベント発生判定回路1211では、イベントが発生していることを示すイベント一致信号1114がセレクト1119へ出力される。さらに、デフォルト状態遷移テーブル1112からは、現状態番号204に対応した次状態番号1127（状態（4））がセレクト1119へ出力される。

【0249】これにより、セレクト1119では、イベント一致信号1114に基づき次状態番号1126、1127のいずれか（状態（3）、状態（4）、若しくは状態（2）のいずれか）が次状態番号205として出力される。但し、これまでの動作は、サイクルC1期間内、即ち、タイミング“T2”の直前までに処理されるものである。このように出力された次状態番号205は、タイミング“T2”において現状態番号204とし



て有効化され、サイクルC 2になると、この現状態番号204がシーケンサ部201から状態遷移テーブルメモリ202へ出力される。

【0250】〔命令コードアドレスを発行するタイミングの第2の実施例〕更に、本発明による状態遷移テーブルメモリ202が命令コードアドレスを発行するタイミングについて、上記の命令コードアドレスを発行するタイミングの第1の実施例を応用した例を、以下に命令コードアドレスを発行するタイミングの第2の実施例として図面を用いて詳細に説明する。ここで、本実施例を説明するにあたり、上記の命令コードアドレスを発行するタイミングの第1の実施例と同様に、本発明による状態遷移テーブルメモリ202の第2の実施例を引用し、図35の(a)に示す状態遷移テーブルメモリ202の構成と(b)に示す状態遷移タイミングチャート図とを用いて説明することとする。但し、強制状態遷移テーブル1113の構成は説明の簡略化のために省する。

【0251】また、本実施例は上記の命令コードアドレスを発行するタイミングの第1の実施例と比較して、条件分岐が実現される2つ(2サイクル)前の状態においてイベント209がシーケンサ部201(図2参照)に

入力されるという特徴がある。(第1の実施例では、条件分岐の1つ(1サイクル)前の状態においてイベント209が入力される構成である。)また、構成としての差分は、セレクト1118とイベント発生判定回路1211との前段にイベント識別コード1206を保持するレジスタ3001が設けられた点である。このレジスタ3001は、例えばフリップフロップ等により構成される。このレジスタ3001によって、本実施例では、図35の(b)に示すタイミング“T3”において条件分岐が実現される。即ち、図35の(b)におけるタイミング“T2”の直前のサイクルC1においてイベント209がシーケンサ部201に

入力され、このシーケンサ部201から出力されたイベント識別コード1206がタイミング“T2”の時点でレジスタ3001に保持される。但し、“T1”のタイミングより前にイベント209をシーケンサ部201に入力し、このイベント209をシーケンサ部201においてレジスタ等で保持しておくという構成も可能であり、この構成から得られる効果も、上記のものと同様なものとなる。

【0252】この状態遷移の過程を示す図35の(b)の状態遷移タイミングチャート図について、図35の(a)の状態遷移テーブルメモリ202の構成図を用いて、より詳細に説明する。図35の(a)を図35の(b)を用いて説明するにあたり、第1の実施例と同様に、クロックの立ち上がりに同期した回路を構成したとする。また、図35の(b)において、“T1”、“T2”、“T3”を、それぞれ任意のクロックの立ち上がりタイミングとし、タイミング“T1”から“T2”の

直前までをサイクルC1、タイミング“T2”から“T3”の直前までをサイクルC2と呼ぶ。このことを踏まえて図35の(a)を参照すると、図35の(b)の状態遷移タイミングチャート図におけるサイクルC1では、まず、イベント209がシーケンサ部201に入力される。また、サイクルC1では、現状態番号204として状態(1)がイベント状態遷移テーブル1111とデフォルト状態遷移テーブル1112との両方に入力される。この入力に対し、イベント状態遷移テーブル1111からは、状態(1)に対応する例えば4つの次状態番号1126(この次状態番号1126の値は、本説明においては特に限定されるものではない。)が出力され、また、デフォルト状態遷移テーブル1112からは、1つの次状態番号1127(図35の(b)では状態(2)の1つの次状態番号1127)が出力される。但し、同じサイクルC1では、シーケンサ部201から出力されたイベント識別コード1206が、一旦レジスタ3001において保持されるため、セレクト1118及びイベント発生判定回路1211には、イベント識別コード1206が入力されない。従って、セレクト1119から出力される次状態番号205は、セレクト1118からの出力の如何に関わらず、次状態番号1127として出力された状態(2)となる。また、この次状態番号205(次状態番号1127=状態(2))は、シーケンサ部201に入力され、タイミング“T2”において現状態番号204とされる。また、このタイミング“T2”では、サイクルC1で入力されたイベント識別コード1206がレジスタ3001に書き込まれる。

【0253】その後、次のサイクルC2では、タイミング“T2”において現状態番号204とされた状態(2)がイベント状態遷移テーブル1111及びデフォルト状態遷移テーブル1112に入力される。従って、サイクルC2では、このイベント状態遷移テーブル1111から状態(2)に対応した例えば4つの次状態番号1126(図35の(b)では、状態(4)及び状態(5)の2つの次状態番号1126)がセレクト1118へ出力され、また、デフォルト状態遷移テーブル1112から状態(2)に対応した次状態番号1127(図35の(b)では、状態(3)の1つの次状態番号1127)がセレクト1119へ出力される。

【0254】また、このサイクルC2において、レジスタ3001からは、タイミング“T2”で保持したイベント識別コード1206がセレクト1118及びイベント発生判定回路1211へ出力される。更に、このイベント識別コード1206が入力されたイベント発生判定回路1211からは、イベント一致信号1114がセレクト1119へ出力される。従って、サイクルC1でイベントが発生していた場合、セレクト1118からは、該当する次状態番号1126(状態(4)若しくは状態(5))がセレクト1119へ出力される。その後、セ

レクタ 1119 からは、セクタ 1118 から入力された次状態番号 1126 (状態 (4) 若しくは状態

(5)) が次状態番号 205 として出力される。これに対して、サイクル C1 でイベントが発生していなかった場合、セクタ 1119 からは、セクタ 1118 からの出力の如何に関わらず、デフォルト状態遷移テーブル 1112 から入力された次状態番号 1127 (状態 (3)) が次状態番号 205 として出力される。また、この出力された次状態番号 205 は、シーケンサ部 201 に入力され、タイミング “T3” において現状態番号 204 として有効化される。

【0255】即ち、命令コードアドレスを発行するタイミングの第 1 の実施例では、( (サイクル C1 における現状態番号 204) + (サイクル C1 の期間に入力されたイベント 209) ) から (サイクル C2 における次状態番号 205) が特定されるが、本実施例では、( (サイクル C2 における現状態番号 204) + (サイクル C1 の期間に入力されたイベント 209) ) から (サイクル C3 における次状態番号 205) が特定されるという構成となっている。

【0256】このように構成することで本実施例では、クリティカルパスを短くすることが可能となり、アレイ型プロセッサ 1 の動作周波数を上げることができる。これは、イベント識別コード 1206 があるサイクル (状態) においてデータパス部 102 により演算された結果に従い状態遷移管理部 101 に入力されることに起因している。即ち、イベント識別コード 1206 がセクタ 1118 とセクタ 1119 とに入力されて次状態番号 205 が出力され、さらにこの次状態番号 205 が、例えば図 3 に示した構成例では制御情報メモリ 203 に入力されて命令コードアドレスが送出された後に、プロセッサ要素 105 の命令コードメモリ 1501 (例として図 20 参照) に入力されるまでを 1 サイクルとして構成した場合、クリティカルパスとなるこのパスが長いために、動作速度が低下してしまう。従って、本実施例では、このパスの途中にレジスタ 3001 を設けることで、このパスを比較的短い 2 つのクリティカルパスに分割し、動作速度の低下を防ぐよう構成している。そして、この 2 つ (イベント伝送と命令アドレス供給と) をパイプライン動作させることにより、スループットを上げ、全体の処理性能を向上させることができる。

【0257】但し、本実施例は、命令コードアドレスを発行するタイミングの第 1 の実施例においてサイクル C1 (第 2 の実施例ではサイクル C2 に相当) における状態 (1) (第 2 の実施例では状態 (2) に相当) とイベント 209 入力との組み合わせにより次状態番号 205 を決定していたものを、第 2 の実施例では、1 サイクル前のサイクル C1 (第 1 の実施例では、サイクル C1 の直前のサイクルに相当) においてイベント 209 を入力

するタイミングとの決定が複雑化するという欠点がある。また、本実施例では、サイクル C1 にイベント 209 を入力できない場合、条件分岐のタイミングが 1 サイクル遅れる。これは、図 35 の (b) に示す状態遷移タイミングチャート図において、サイクル C1 にイベントを入力することが不可能なためにサイクル C2 に入力した場合、サイクル C3 にダミーの状態を挿入する必要があり、これが原因で実際に状態分岐が行われるタイミングがタイミング “T3” より 1 サイクル遅れたタイミングとなるためである。

【0258】(命令コードアドレスを発行するタイミングの第 3 の実施例) 更に、本発明による状態遷移テーブルメモリ 202 が命令コードアドレスを発行するタイミングについて、上記の命令コードアドレスを発行するタイミングの第 2 の実施例をさらに応用した例を、以下に命令コードアドレスを発行するタイミングの第 3 の実施例として図面を用いて詳細に説明する。ここで、本実施例を説明するにあたり、上記の命令コードアドレスを発行するタイミングの第 2 の実施例と同様に、本発明による状態遷移テーブルメモリ 202 の第 2 の実施例を引用し、図 36 の (a) に示す状態遷移テーブルメモリ 202 の構成と、(b) に示す状態遷移図と、(c)、

(d) に示す状態遷移タイミングチャート図とを用いて説明する。但し、強制状態遷移テーブル 1113 の構成は説明の簡略化のために省する。

【0259】また、本実施例は上記の命令コードアドレスを発行するタイミングの第 2 の実施例と比較して、図 36 の (c)、(d) に示すように、デフォルト時の状態遷移では通常の状態分岐 (状態 (1) → 状態 (2) → 状態 (3)) を実現し、イベント発生時の状態遷移では途中に 1 サイクル無効なサイクルが存在し、分岐する

(状態 (1) → 状態 (4) 若しくは (5)) 点を特徴としている。即ち、本実施例では、イベント 209 が入力されない場合では、デフォルト状態遷移に従い、サイクル毎に順次状態が遷移するが、イベント 209 が入力された場合では、入力から条件分岐までに 1 サイクル無効なサイクルを挿入する。これを実現するにあたり、本実施例は、命令コードアドレスを発行するタイミングの第 2 の実施例におけるレジスタ 3001 だけでなく、イベント状態遷移テーブル 1111 の出力とセクタ 1118 との間にレジスタ 3002 を設けている。但し、レジスタ 3002 も、例えばフリップフロップ等により構成される。

【0260】この状態遷移を図 36 の (c)、(d) を用いて説明する。但し、図 36 の (c)、(d) を説明するにあたり、第 2 の実施例と同様に、クロックの立ち上がりに同期した回路を構成したとする。また、図 35 の (c)、(d) において、“T1”、“T2”、“T3” を、それぞれ任意のクロックの立ち上がりタイミングとし、タイミング “T1” から “T2” の直前までを

サイクルC1、タイミング“T2”から“T3”の直前までをサイクルC2と呼ぶ。このことを踏まえて、図36の(c)を参照すると、本実施例は、サイクルC1において状態が(1)であり、このサイクル中にイベント209が入力されなければ、次のサイクルC2において状態(2)に遷移し、さらに次のサイクルC3において状態(3)となる。これに対して、図36の(d)を参照すると、サイクルC1においてイベント209が入力された場合、サイクルC2において一度、状態(2)に遷移した状態がキャンセルされ、次のサイクルC3において、サイクルC1で入力されたイベント209に応じた状態遷移(状態(4)または状態(5)への遷移)が実行される。このような状態遷移の形は、デフォルト状態による遷移が多く発生し、たまにイベント209が入力されるという場合に特に有効な形態である。何故なら、デフォルト状態による遷移の場合は、ロスとなる無効のサイクルがなく状態遷移がされるが、イベント209が入力された場合は、必ず1サイクル分の無駄が挿入されるためである。

【0261】上記において説明した状態遷移タイミングチャート図について、図36の(a)の状態遷移テーブルメモリ202の構成図を用いて、より詳細に説明する。図36の(a)を参照すると、サイクルC1においてイベント209がシーケンサ部201(図3参照)に入力された場合、タイミング“T2”においてその値はレジスタ3001に保持される。また、サイクルC1では、イベント状態遷移テーブル1111及びデフォルト状態遷移テーブル1112に、現状態番号204として、状態(1)が入力されている。従って、サイクルC1では、イベント状態遷移テーブル1111からは、状態(1)に対応する例えば4つの次状態番号1126

(図36の(b)及び(d)では、状態(4)及び状態(5))が出力され、また、デフォルト状態遷移テーブル1112からは、状態(1)に対応する次状態番号1127(図36の(b),(c)及び(d)では、状態(2))が出力される。但し、上記において、イベント状態遷移テーブル1111から出力された次状態番号1126は、レジスタ3002に保持されるため、サイクルC1において、セクタ1118へは何も入力されない。また、このとき、セクタ1118及びイベント発生判定回路1211には、イベント識別コード1206が入力されていないため、セクタ1119にイベント一致信号1114が入力されず、強制的にセクタ1119は、デフォルト状態遷移テーブル1112から入力された次状態番号1127(状態(2))を次状態番号205としてシーケンサ部201へ出力する。これに対して、シーケンサ部201では、タイミング“T2”において、入力された次状態番号205(状態(2))を現状態番号204として有効化し、これをサイクルC2において出力する。よって、本実施例では、サイクルC

2において全ての条件分岐に対して一時、デフォルト状態遷移テーブル1112から出力された状態が有効化される。

【0262】次に、サイクルC2では、タイミング“T2”で有効化された現状態番号204(状態(2))がイベント状態遷移テーブル1111及びデフォルト状態遷移テーブル1112に入力され、各々のテーブルよりこの状態(2)に対応した次状態番号1126(この次状態番号1126の値は、本説明においては特に限定されるものではない。)及び1127(図36の(b),(c)及び(d)における状態(3))が出力される。但し、このとき、レジスタ3002には、前のサイクルC1において保持した次状態番号1126が格納されているため、サイクルC2においてセクタ1118に入力される次状態番号1127は、この格納されている値(図36の(b),(d)では、状態(4)及び(5))である。また、タイミング“T2”でレジスタ3001に保持されたイベント識別コード1206も、サイクルC2においてセクタ1118及びイベント発生判定回路1211へ入力される。

【0263】このため、サイクルC2では、例えばサイクルC1でイベントが発生していた場合、このイベント識別コード1206に該当する次状態番号1126(図36の(b),(d)では、状態(4)若しくは(5))が選択され、セクタ1119へ出力される。また、イベント発生判定回路1211からは、イベントが発生したことを示したイベント一致信号1114がセクタ1119へ入力されるため、セクタ1119からは、セクタ1118より入力された次状態番号1126(状態(4)若しくは(5))が選択され、次状態番号205として出力される。その後、この出力された次状態番号205は、シーケンサ部201に入力され、タイミング“T3”において現状態番号204として有効化される。但し、このままでは、タイミング“T2”のときに、一旦、現状態番号204としてデフォルト状態遷移テーブル1112から出力された状態(2)を有効化しているため、動作に矛盾が生じる。従って、本実施例では、この矛盾を回避するために、サイクルC2における、イベント発生判定回路1211にてイベント識別コード1206がイベント発生を示していると判定した時点で、イベント発生判定回路1211がデータパス部102に対して、現在実行している動作(書き込み等)をキャンセルさせるための動作(書き込み)キャンセル信号1207を出力するよう構成する。これにより、サイクルC2において実行されている動作をキャンセルし、新たにタイミング“T3”で有効化された現状態番号204に基づく動作を前の状態(この場合、状態(1))に引き続いて実行可能のように構成する。これに対して、サイクルC1でイベントが発生していなかった場合、サイクルC2では、第2の実施例と同様に、セ

レクタ 1119 が、デフォルト状態遷移テーブル 1112 より入力された、現状態番号 204 (状態 (2)) に対応する次状態番号 1127 (状態 (3)) を選択して、次状態番号 205 として出力する。その後、この出力された次状態番号 205 (状態 (3)) は、シーケンサ部 201 に入力され、タイミング “T3” において現状態番号 204 として有効化される。但し、この動作において、イベントが発生していないため、イベント発生判定回路 1211 は、動作 (書き込み) キャンセル信号 1207 を出力しない。

【0264】このような動作を経ることにより、タイミング “T3” では、サイクル C1 においてイベント 209 が入力されていた場合、そのイベント 209 に応じた次状態番号 205 (図 36 の (b), (d) では状態 (4) 若しくは状態 (5) に対応) を現状態番号 204 とし、また、サイクル C1 においてイベント 209 が入力されていない場合、デフォルト状態遷移テーブル 1112 に従って出力された次状態番号 205 (図 36 の (b) では状態 (3) に対応) を現状態番号 204 とすることが可能となる。

【0265】〔命令コードアドレスを発行するタイミングの第 1 から第 3 の実施例の各サイクル毎の状態〕また、上述した命令コードアドレスを発行するタイミングの第 1 から第 3 の実施例における各サイクル毎の状態について、図 38 を用いて比較する。図 38 を参照すると、上記第 1 から第 3 の実施例全てにおいて、タイミング “T1” から “T2” の直前までのサイクル C1 の期間の状態は、(1) とされている。この状態において、第 1 の実施例では、サイクル C1 においてイベント (イベント無しも含むとする) と現状態番号 204 (状態 (1) が入力され、この組み合わせに応じた次状態番号 205 (状態 (2) 又は、(3) 若しくは (4)) が出力される。従って、タイミング “T2” では、この組み合わせに応じた次状態番号 205 が現状態番号 204 として有効化され、この現状態番号 204 を基にタイミング “T2” において状態遷移が行われる。また、第 2 の実施例では、サイクル C1 において入力されたイベントがタイミング “T2” においてレジスタ 3001 に保持されるため、サイクル C2 における状態は、デフォルト遷移に従って状態 (2) となる。従って、サイクル C2 では、保持されたイベントと状態 (2) との組み合わせに応じた次状態番号 205 (状態 (3) 又は、(4) 若しくは (5)) が出力され、これがタイミング “T3” において現状態番号 204 として有効化される。更に、第 3 の実施例では、サイクル C1 において入力されたイベントが第 2 の実施例と同様に、タイミング “T2” においてレジスタ 3001 に保持される。従って、タイミング “T2” の時点では、サイクル C1 において出力された、デフォルト状態遷移テーブル 1112 において状態 (1) に対応する次状態番号 1127 (状態 (2))

が現状態番号 204 として有効化される。但し、サイクル C1 では、イベント状態遷移テーブル 1111 から状態 (1) に対応する次状態番号 1126 (状態 (4) 若しくは (5)) が出力され、これがレジスタ 3002 において保持されている。ここで、サイクル C1 においてイベントが発生しなかった場合、第 2 の実施例と同様に、サイクル C2 では、デフォルト状態遷移テーブル 1112 から、タイミング “T2” において現状態番号 204 とされた状態 (2) に対応する次状態番号 1127 (状態 (3)) が出力され、これがタイミング “T3” において現状態番号 204 として有効化される。これに対して、サイクル C1 においてイベントが発生していた場合、実行されている状態 (2) が、動作 (書き込み) キャンセル信号 1207 によりキャンセルされ、代わりに、サイクル C1 においてレジスタ 3002 に保持された次状態番号 1126 (状態 (4) 若しくは (5)) が現状態番号 204 として有効化される。

【0266】〔命令コードアドレスを発行するタイミングの第 4 の実施例〕また、上述した命令コードアドレスを発行するタイミングの第 1 から第 3 の実施例については、図 37 のように構成することにより、各実施例の何れかを選択して実行するよう構成することが可能である。これを以下に、命令コードアドレスを発行するタイミングの第 4 の実施例として説明する。但し、本実施例でも、本発明による状態遷移テーブルメモリ 202 の第 2 の実施例を引用し、強制状態遷移テーブル 1113 の構成は説明の簡略化のために省略する。

【0267】図 37 を参照すると、本実施例では、イベント状態遷移テーブル 1111 からの各出力に対して、各々が分岐され、一方がレジスタ 3004 ~ 3007 を介し、他の一方がこれを介さずに対応するセクタ 3102 ~ 3105 に入力されるよう構成されている。また、このセクタ 3102 ~ 3105 は、図 20 における命令デコーダ 1502 からの出力に対応するメモリ 3022 に接続されており、各セクタ 3102 ~ 3105 における選択 (レジスタ 3004 ~ 3007 各々に関して使用するか否かの選択) には、この命令デコーダ 1502 でデコードされた命令コードが使用される。また、本実施例では、セクタ 1118 及びイベント発生判定回路 1211 に入力されるイベント識別コード 1206 に対しても、分岐して、一方がレジスタ 3003 を介し、他の一方が介さずセクタ 3101 に入力されるよう構成されている。また、このセクタ 3101 も、図 20 における命令デコーダ 1502 からの出力に対応するメモリ 3021 に接続されており、セクタ 3101 における選択 (レジスタ 3003 を使用するか否かの選択) には、この命令デコーダ 1502 でデコードされた命令コードが使用される。但し、上記における各レジスタ 3003、~、3007 も、各々例えばフリップフロップ等により構成される。

【0268】このように構成することで、本実施例では、メモリ3022及びメモリ3021の値を制御することにより、図34から図36に示す命令コードアドレスを発行するタイミングの第1の実施例から第3の実施例のいずれかを選択して実行させることが可能となる。但し、本実施例の選択には、アプリケーションの実装時に1つに固定して使用することも可能であるし、また、動作中（状態遷移時）に選択して切り替えるよう構成することも可能である。

#### 【0269】

【発明の効果】以上説明したように、本発明によるアレイ型プロセッサでは、データパス部分のプロセッサエレメントアレイを演算処理に特化させることが可能となり、状態遷移管理部は状態遷移手段としての動作およびデータパス部の制御を柔軟に行うよう構成を特化させることができるという効果があり、これにより面積、処理性能の両面に対する効果も得られる。

【0270】また、状態遷移手段としての動作において、条件により複数の遷移先の中から一つの状態を選択する際、選択先の状態数によらず分岐に要する時間を一定とすることを実現し、状態遷移を記述するテーブルにも分岐先の状態数のばらつきによる無駄が生じない効果がある。また、条件が一致した時の遷移先および条件が一致しなかった場合の遷移先を容易に記述することを可能としている。また、状態遷移の方法として、状態遷移管理部内だけの制御、データパス部からの信号による制御、アレイ型プロセッサ外部からの信号による制御のいずれも可能としており、状態遷移条件設定の柔軟性を高める効果がある。

【0271】さらに、状態遷移管理部によるデータパス部の制御は、全プロセッサエレメントおよび全プログラマブルスイッチエレメントを独立に制御する、いくつかのエレメントを固定的にグループ化し制御する、プログラムによりグループ化を決定し制御する、全エレメントの中の一部のみを制御することが可能となる。この結果、目的に応じてデータパス部の制御の柔軟性と、制御のために必要とされるリソース量のバランスを考慮したアレイ型プロセッサの構成を可能とする効果がある。

【0272】また、全ての制御を状態遷移管理部が行うのではなく、データパス部内においても制御の信号を発生して直接データパス部内を制御する方法も可能としているため、制御に関する柔軟性を高める効果がある。

#### 【図面の簡単な説明】

【図1】図1は、本発明のアレイ型プロセッサの実施形態における概略ブロック図を示している。

【図2】図2は、本発明のアレイ型プロセッサの実施形態における状態遷移管理部の第1の実施例の概略ブロック図を示している。

【図3】図3は、本発明のアレイ型プロセッサの実施形態における状態遷移管理部の第2の実施例の概略ブロッ

ク図を示している。

【図4】図4は、図2及び図3に示した状態遷移管理部の命令コードアドレス発行のタイミングチャート図を示している。

【図5】図5は、本発明のアレイ型プロセッサの実施形態における状態遷移管理部の第3の実施例の概略ブロック図を示している。

【図6】図6は、図5に示した状態遷移管理部の命令コードアドレス発行のタイミングチャート図を示している。

【図7】図7は、本発明のアレイ型プロセッサの実施形態におけるデータパス部の第1の実施例の概念図を示している。

【図8】図8は、本発明のアレイ型プロセッサの実施形態におけるデータパス部の第1の実施例の概略ブロック図を示している。

【図9】図9は、本発明のアレイ型プロセッサの実施形態におけるデータパス部の第2の実施例の概略ブロック図を示している。

【図10】図10は、本発明のアレイ型プロセッサの実施形態におけるデータパス部の第3の実施例の概略ブロック図を示している。

【図11】図11は、本発明のアレイ型プロセッサの実施形態におけるデータパス部の第4の実施例の概略ブロック図を示している。

【図12】図12は、本発明のアレイ型プロセッサの実施形態におけるシーケンサ部の第1の実施例の概略ブロック図を示している。

【図13】図13は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリの第1の実施例の概略ブロック図を示している。

【図14】図14は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリに書き込まれた状態遷移例の図を示している。

【図15】図15は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリの第2の実施例の概略ブロック図を示している。

【図16】図16は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリの第3の実施例の概略ブロック図を示している。

【図17】図17は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリの第4の実施例の概略ブロック図を示している。

【図18】図18は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリの第5の実施例の概略ブロック図を示している。

【図19】図19は、本発明のアレイ型プロセッサの実施形態における制御情報メモリの第1の実施例の概略ブロック図を示している。

【図20】図20は、本発明のアレイ型プロセッサの実

施形態におけるプロセッサエレメントの第 1 の実施例の概略ブロック図を示している。

【図 2 1】図 2 1 は、本発明のアレイ型プロセッサの実施形態におけるプロセッサエレメントの第 2 の実施例の概略ブロック図を示している。

【図 2 2】図 2 2 は、本発明のアレイ型プロセッサの実施形態におけるプログラマブルスイッチエレメントの第 1 の実施例の概略ブロック図を示している。

【図 2 3】図 2 3 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 1 の実施例の模式図を示している。

【図 2 4】図 2 4 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 2 の実施例の模式図を示している。

【図 2 5】図 2 5 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 4 の実施例の模式図を示している。

【図 2 6】図 2 6 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 5 の実施例の模式図を示している。

【図 2 7】図 2 7 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 6 の実施例の模式図を示している。

【図 2 8】図 2 8 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 7 の実施例の模式図を示している。

【図 2 9】図 2 9 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 8 の実施例の模式図を示している。

【図 3 0】図 3 0 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 9 の実施例の模式図を示している。

【図 3 1】図 3 1 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 10 の実施例の模式図を示している。

【図 3 2】図 3 2 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 11 の実施例を説明するための図であり、(a) は、本実施例の模式図を示し、(b) は、本実施例の動作を実現するための回路構成の例を示している。

【図 3 3】図 3 3 は、本発明のアレイ型プロセッサの実施形態における演算制御情報メモリを用いたデータベース部の制御方法の第 12 の実施例の模式図を示している。

【図 3 4】図 3 4 は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリによる命令コードアドレス発行のタイミングの第 1 の実施例を説明するための図であり、(a) は、第 1 の実施例の概略ブロック図であり、(b) は、第 1 の実施例の状態遷移タイミングチャート図である。

【図 3 5】図 3 5 は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリによる命令コードアドレス発行のタイミングの第 2 の実施例を説明するための図であり、(a) は、第 2 の実施例の概略ブロック図であり、(b) は、第 2 の実施例の状態遷移タイミングチャート図である。

【図 3 6】図 3 6 は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリによる命令コードアドレス発行のタイミングの第 3 の実施例を説明するための図であり、(a) は、第 3 の実施例の概略ブロック図であり、(b) は、第 3 の実施例の状態遷移図であり、(c) は、(b) の状態遷移におけるデフォルト遷移に着目した状態遷移タイミングチャート図であり、(d) は、(b) の状態遷移におけるイベント遷移に着目した状態遷移タイミングチャート図である。

【図 3 7】図 3 7 は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリによる命令コードアドレス発行のタイミングの第 4 の実施例を説明するための概略ブロック図である。

【図 3 8】図 3 8 は、本発明のアレイ型プロセッサの実施形態における状態遷移テーブルメモリによる命令コードアドレス発行のタイミングの第 1 から第 3 の実施例における各サイクル毎の状態を比較するための図である。

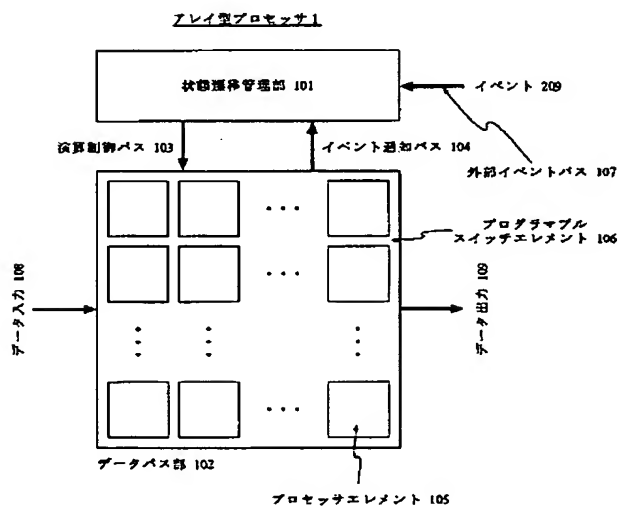
#### 【符号の説明】

- 1 アレイ型プロセッサ
- 101 状態遷移管理部
- 102 データバス部
- 103、701、2003、2013、2023、2033-V1、2033-V2、…、2033-H1、2033-H2、… 演算制御バス
- 104 イベント通知バス
- 105 プロセッサエレメント
- 106 プログラマブルスイッチエレメント
- 107 外部イベントバス
- 108 データ入力
- 109 データ出力
- 201 シーケンサ部
- 202 状態遷移テーブルメモリ
- 203 制御情報メモリ
- 204 現状態番号
- 205、1106、1107、1109、1126、1127、1128、1146、1147、1148、1166、1168 次状態番号
- 206、1206、1226、1246 イベント識別コード
- 207 クロック
- 208 リセット
- 209 イベント
- 210、1216、1236、1256 強制イベント識別コード

71

401 遅延  
 402 状態遷移  
 403 状態遷移の直前の状態  
 404 状態遷移の直後の状態  
 601、703、801、901 データバス  
 702 接続制御バス  
 902、1901、1902 グループ  
 1001 符号化器  
 1002、1504、2207、3001、3002、  
 3003、3004、3005、3006、3007 10 レジスタ  
 1101、1111、1121、1131 イベント状  
 態遷移テーブル  
 1102、1112、1122 デフォルト状態遷移テ  
 ーブル  
 1103、1113、1123、1133 強制状態遷  
 移テーブル  
 1104、1114、1124、1134 イベントー  
 致信号  
 1105、1115、1125、1135 強制イベン  
 ト一致信号  
 1108、1110、1118、1119、1120、  
 1138、1139、1140、1158、1159、  
 2001、2011、2021、2206、3101、  
 3102、3103、3104、3105 セレクタ

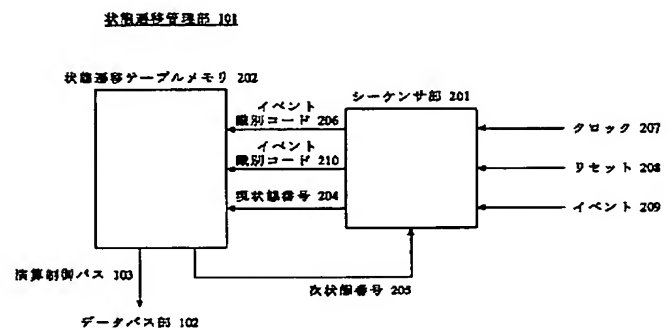
【図 1】



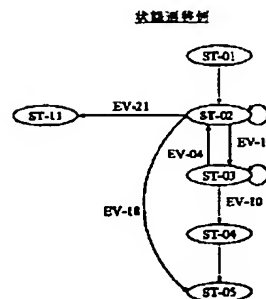
72

1207 動作（書き込み）キャンセル信号  
 1211、1212、1221、1222、1232  
 イベント発生判定回路 1301 通常状態遷移テーブル  
 1346、1347、1348、1505 命令コード  
 アドレス  
 1401 状態番号  
 1402 演算制御情報メモリ  
 1501 命令コードメモリ  
 1502、1602 命令デコーダ  
 1503 演算部  
 1506 入力データ  
 1507 出力データ  
 1508 命令コード  
 1601 制御信号  
 1603、1604 プログラマブルスイッチ  
 1701 接続構成情報メモリ  
 1702 接続スイッチ  
 1703 接続構成情報  
 1704 接続線  
 2002、2012、2022、3021、3022  
 メモリ  
 2201、2211 命令コードメモリ部  
 2202、2203、2204、2205、2212、  
 2213、2214、2215、2223、2224、  
 2225 マスク部

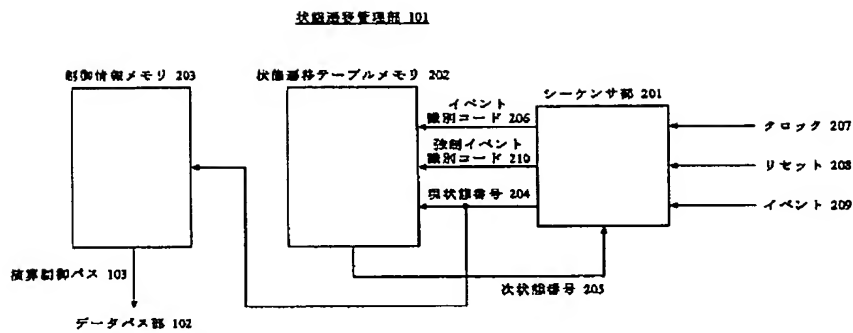
【図 5】



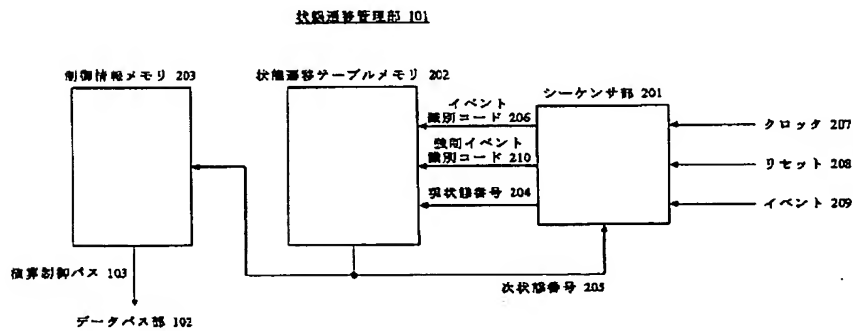
【図 14】



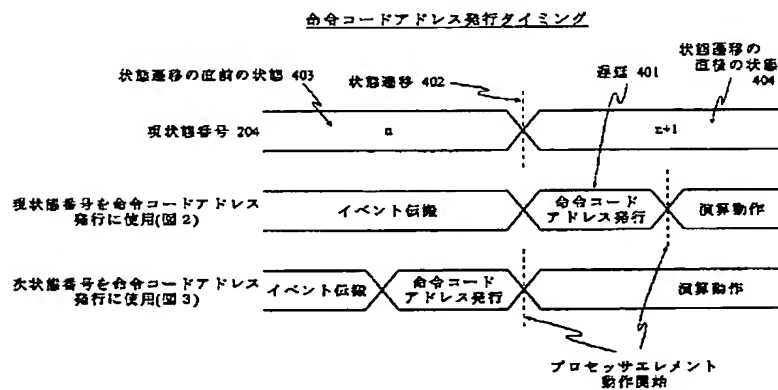
【図 2】



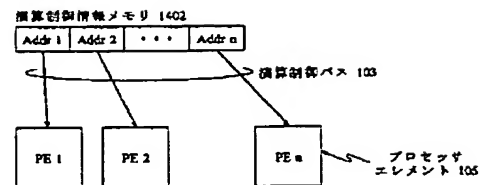
【図 3】



【図 4】

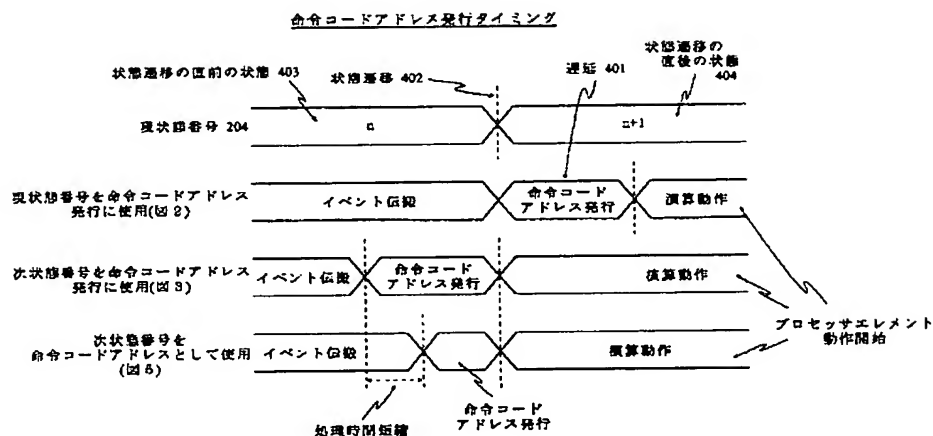


【図 23】

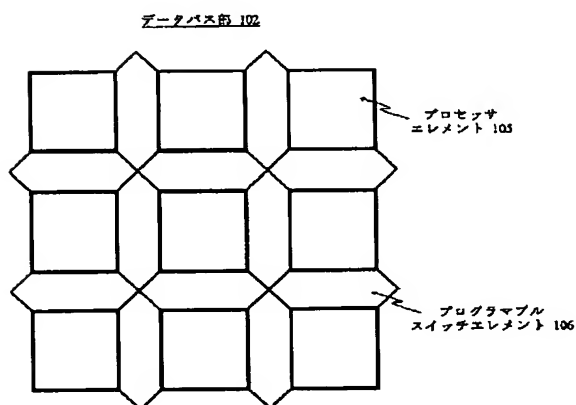




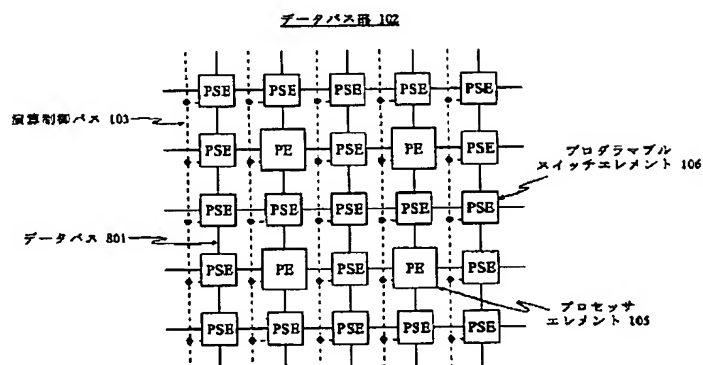
【図 6】



【図 7】

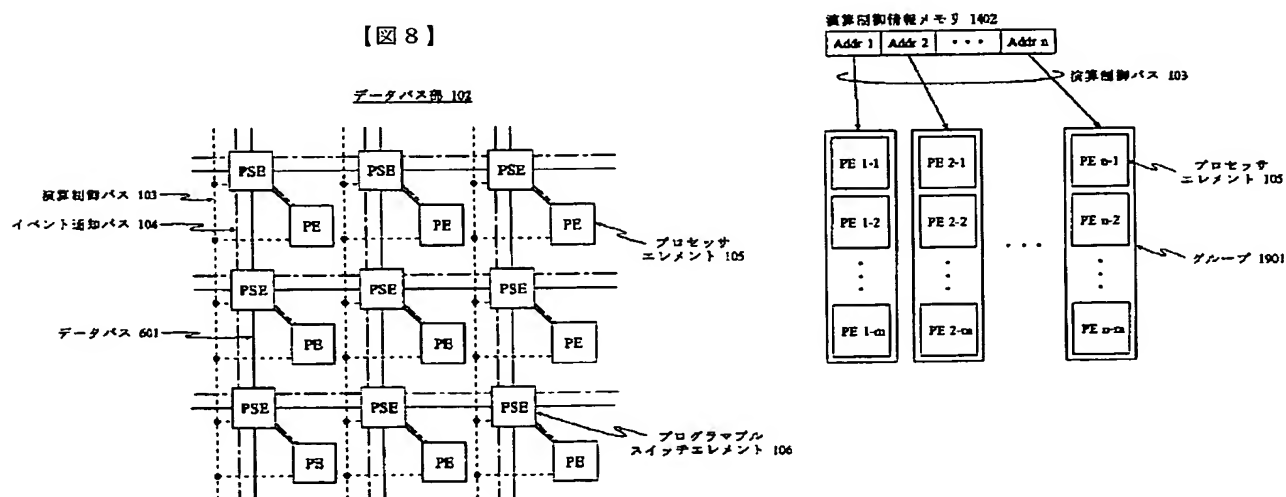


【図 10】

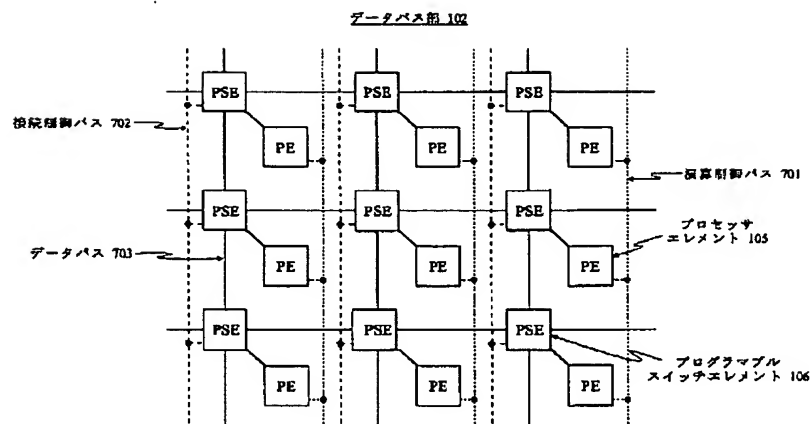


【図 25】

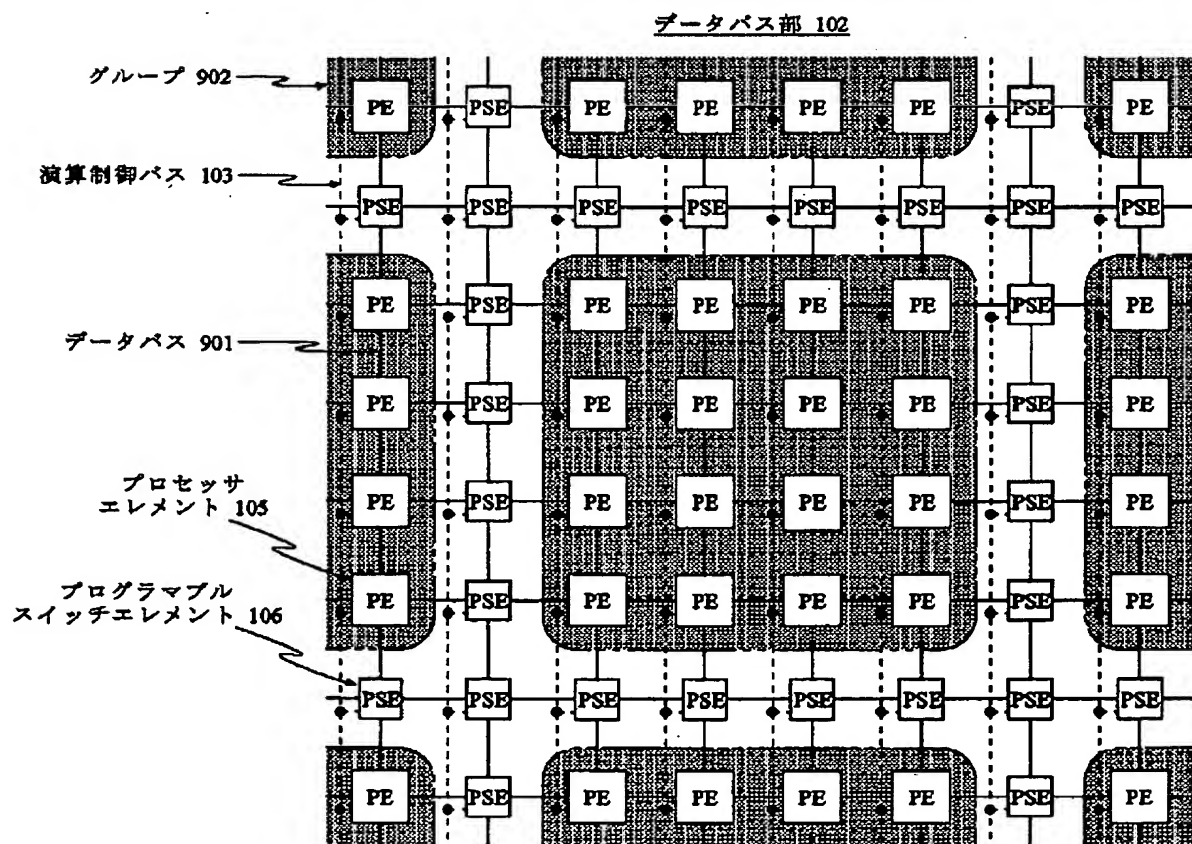
【図 8】



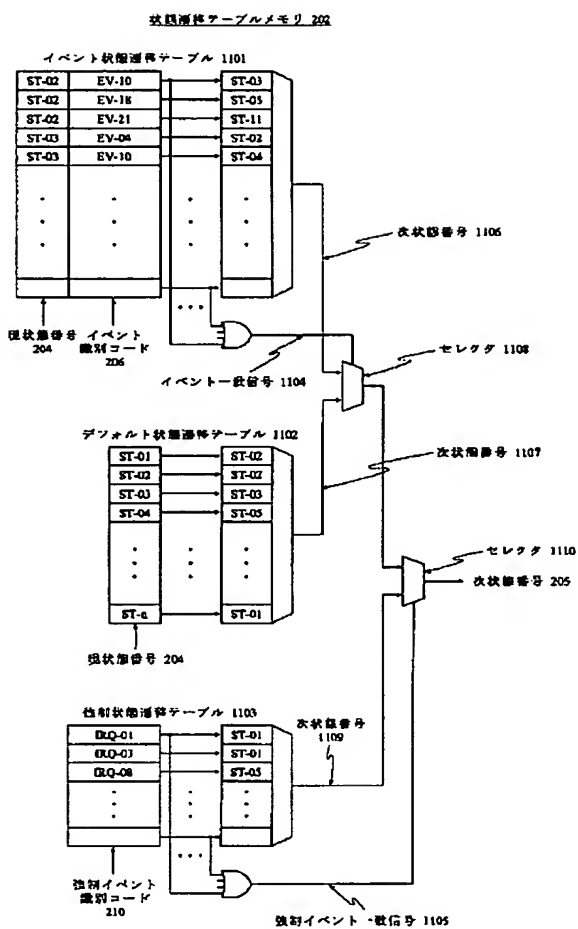
【図 9】



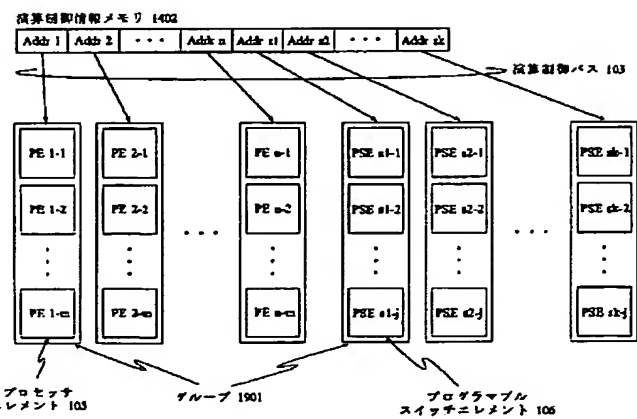
【図 11】



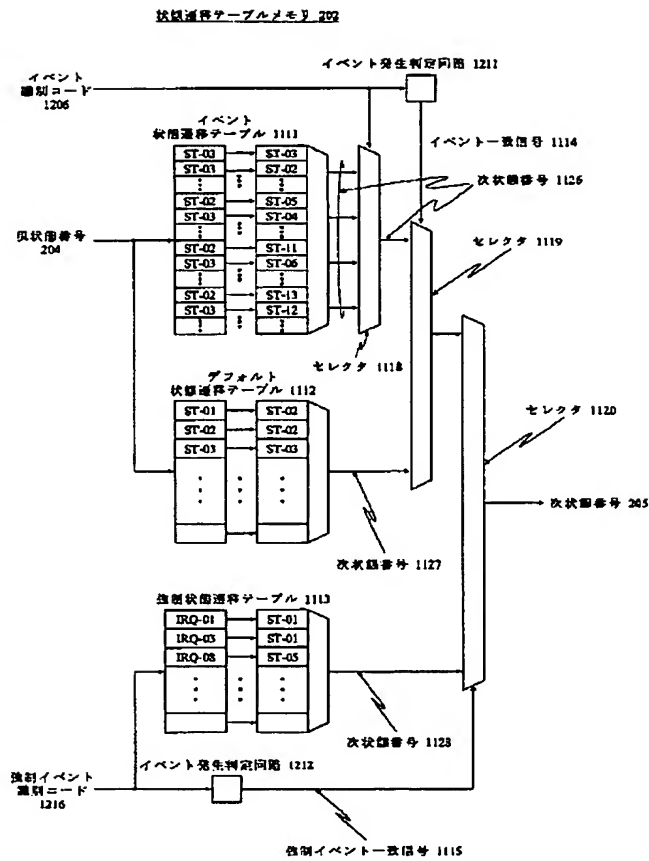
【图 1 3】



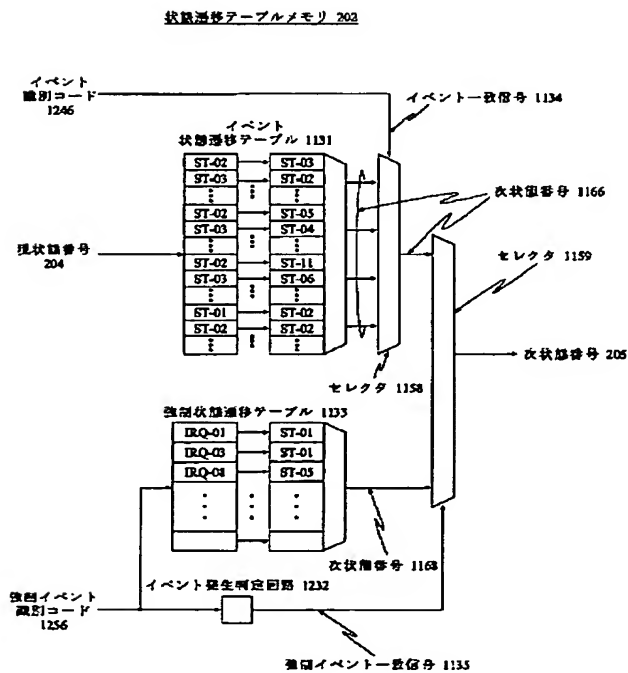
【图 26】



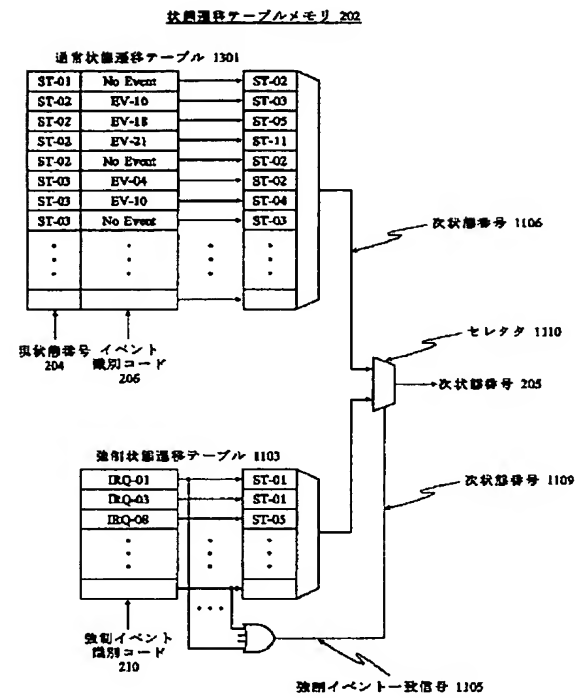
【図 15】



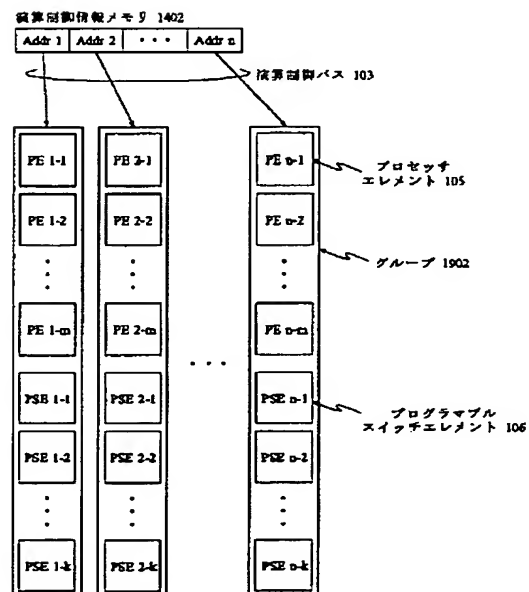
【図 18】



【図 17】

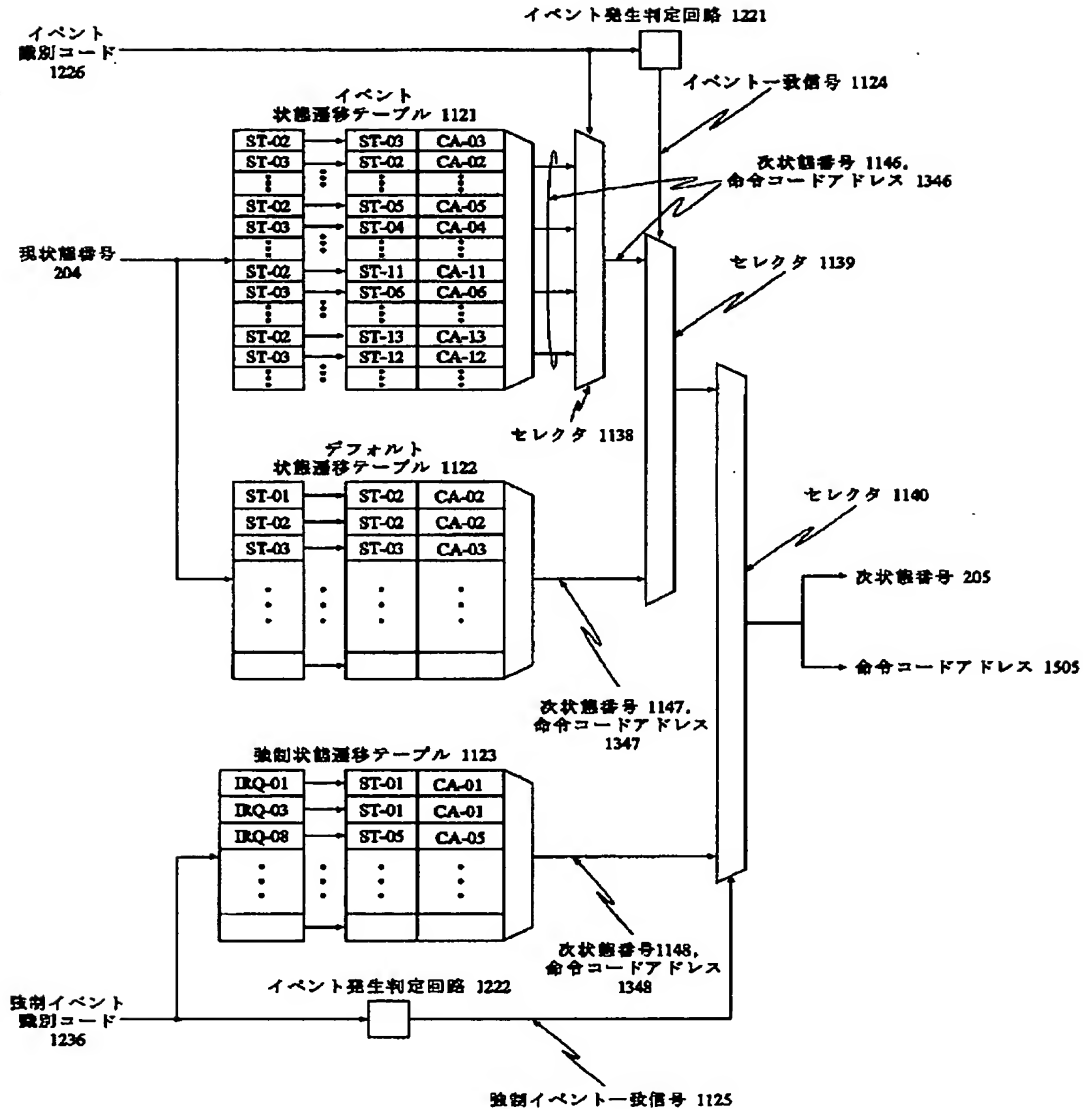


【図 27】



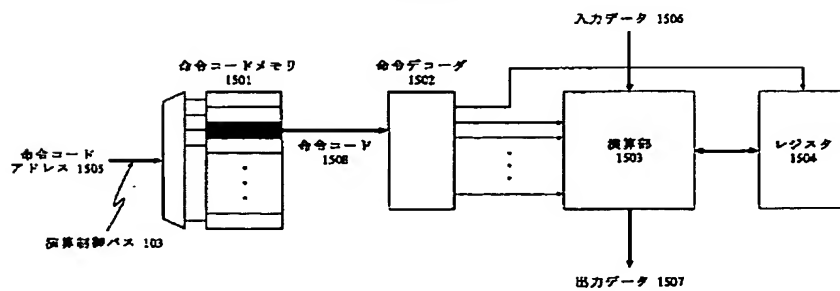
【図 16】

## 状態遷移テーブルメモリ 202

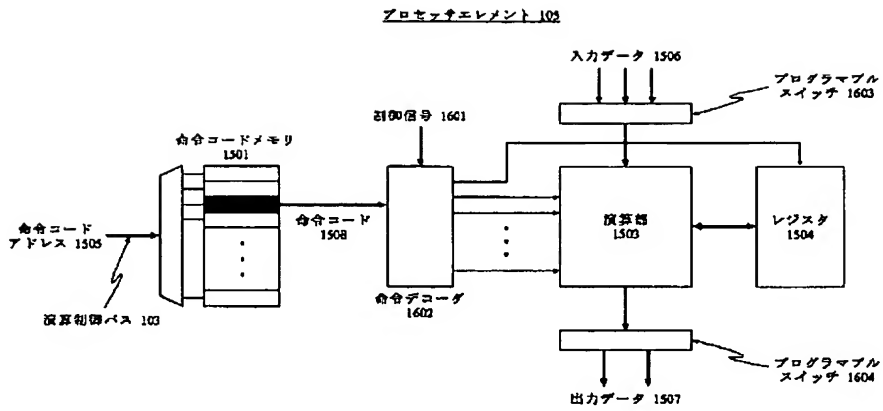


【図 20】

## プロセッサエレメント 105

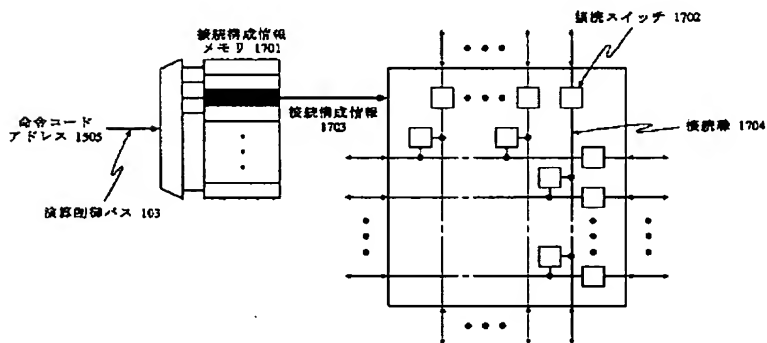


【図 21】

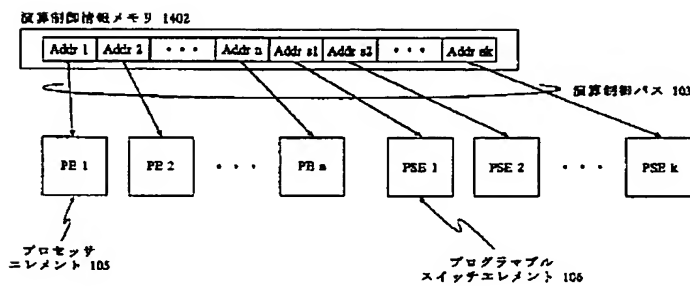


【図 22】

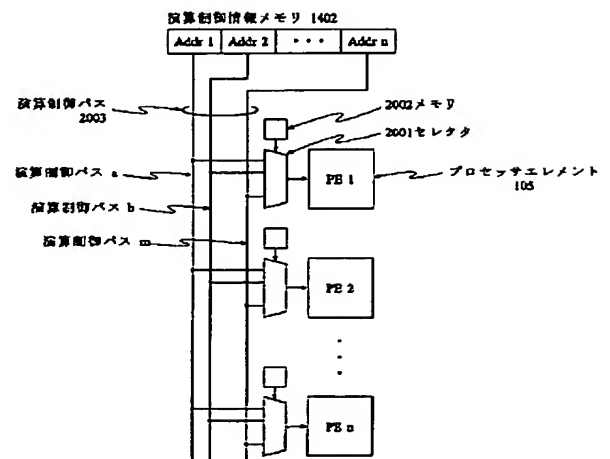
プログラマブルスイッチ要素 106



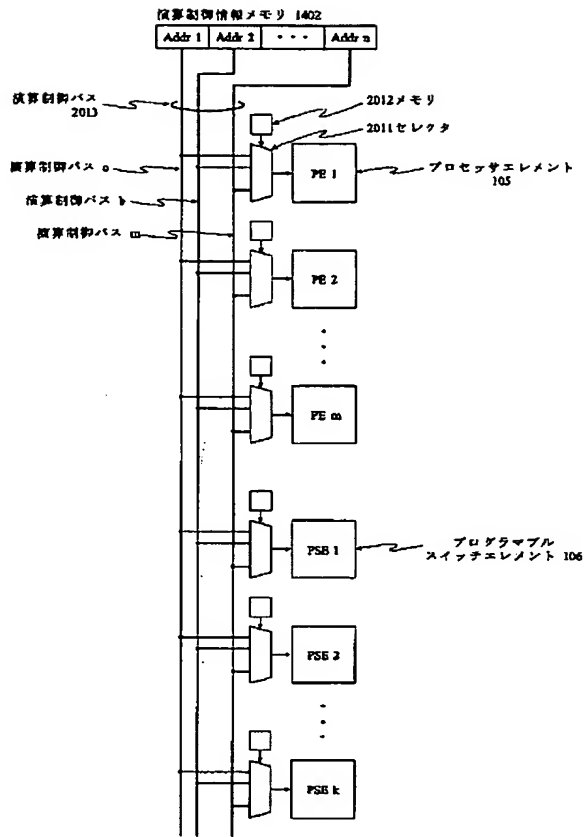
【図 24】



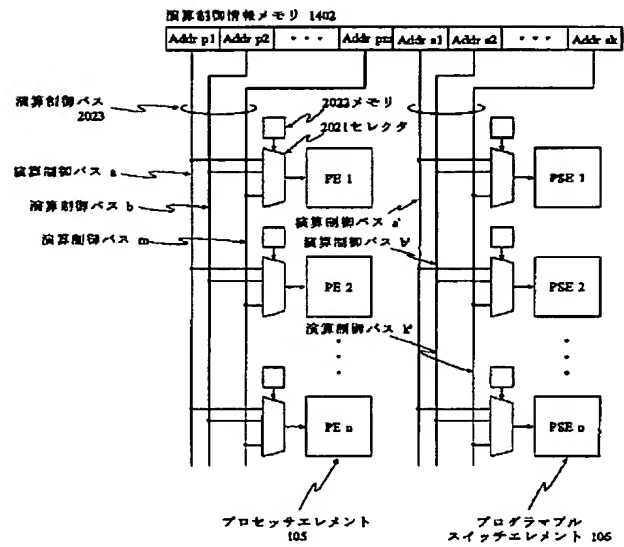
【図 28】



【図 29】

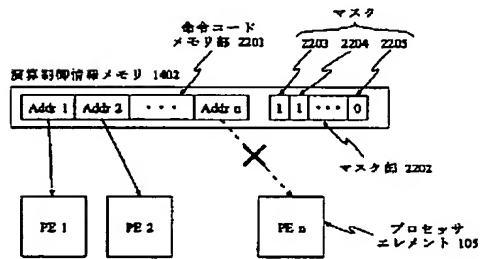


【図 30】

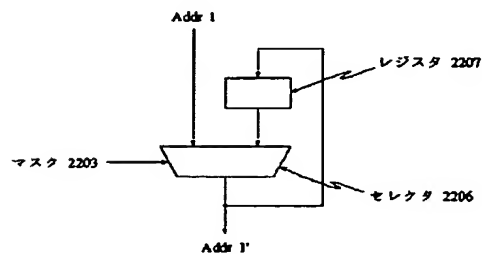


【図 32】

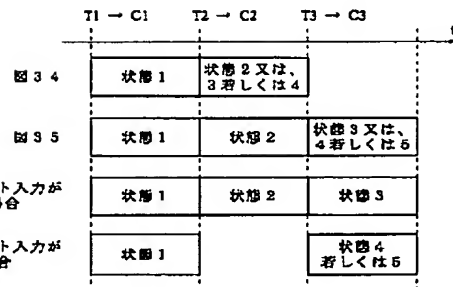
(a)



(b)

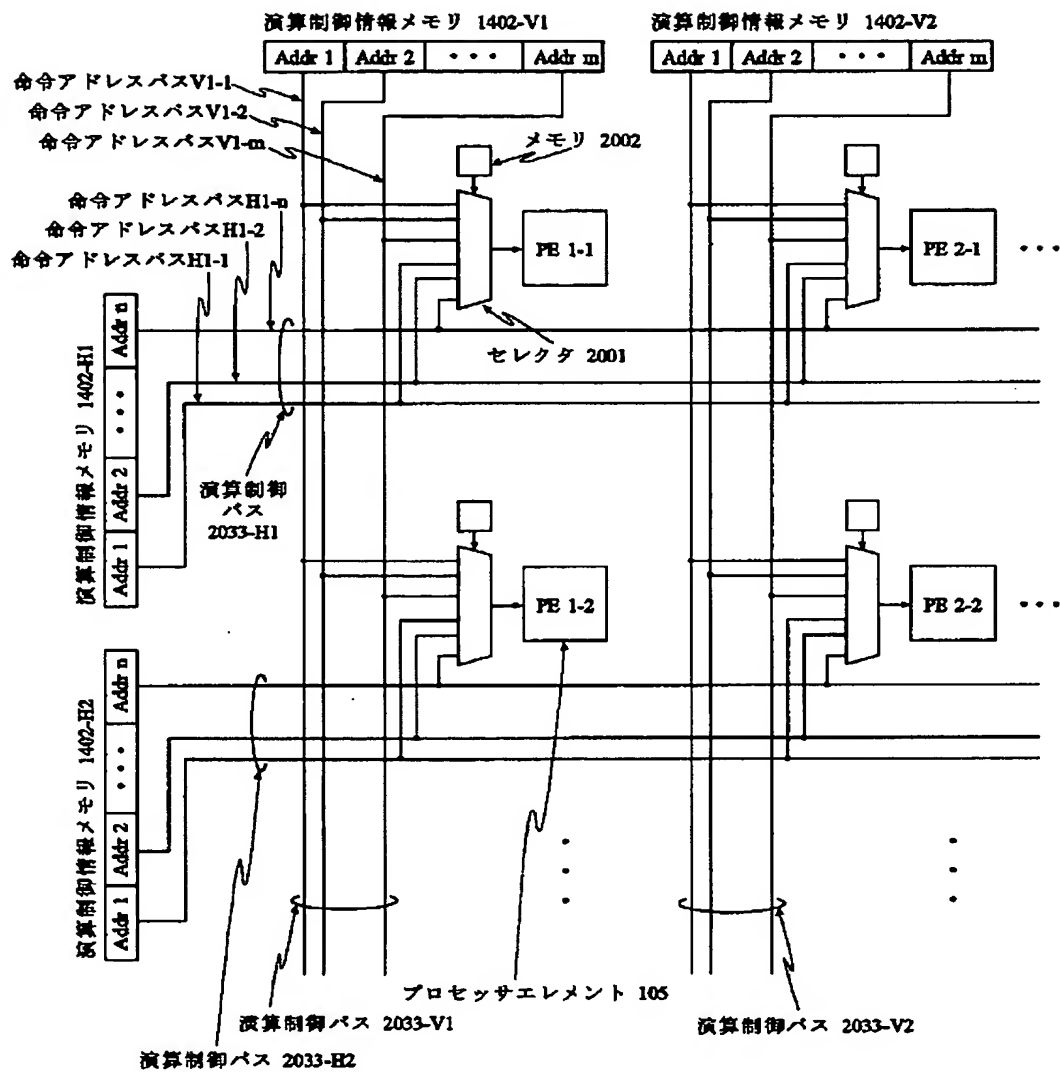


【図 38】

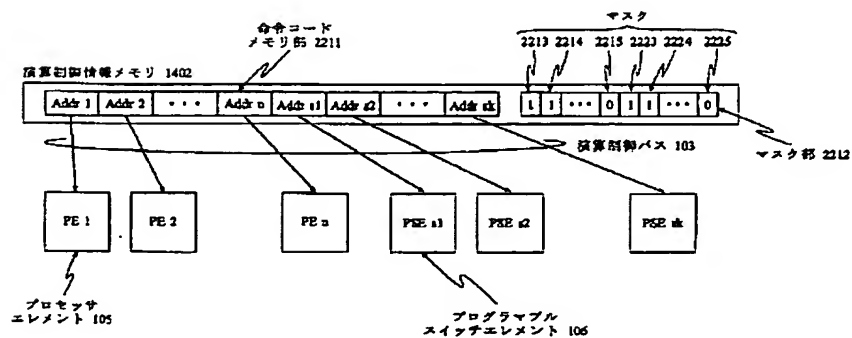




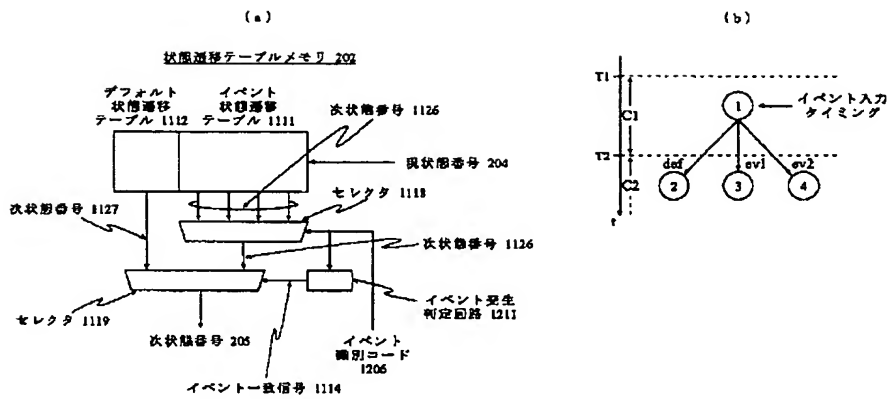
【図31】



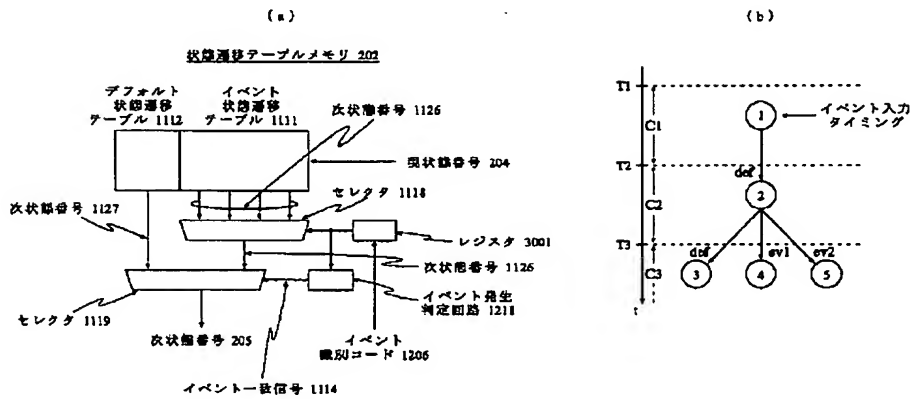
【図33】



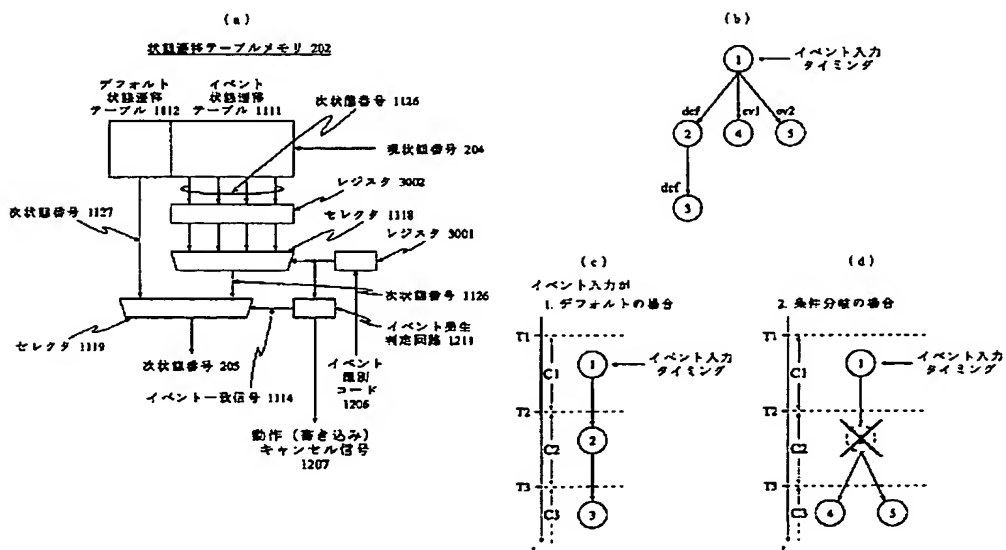
【図 34】



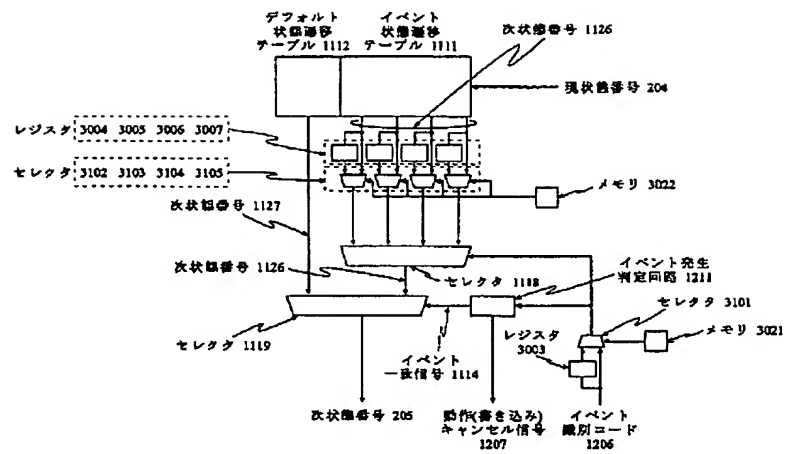
【図 35】



【図 36】



【図 37】



フロントページの続き

(72)発明者 古田 浩一朗  
東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

Fターム(参考) 5B045 GG12

.....